

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235648

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 27/10
G11C 14/00
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 06-051273

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.02.1994

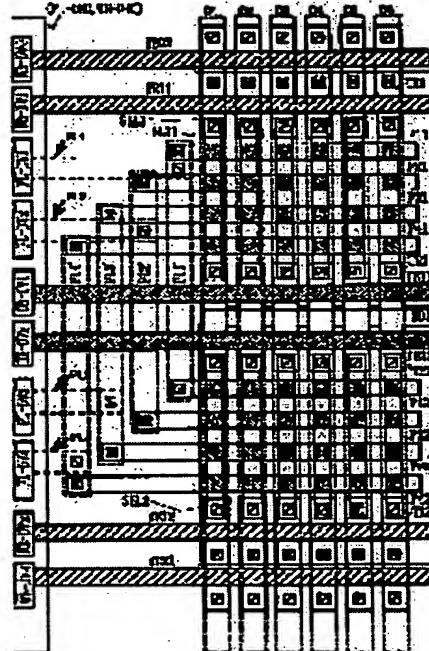
(72)Inventor : KURODA KENICHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor storage device which is lessened in stress to a non-selective ferroelectric capacitor keeping high in degree of integration.

CONSTITUTION: Address selection circuits turned common by allotting common addresses are provided to the second address selection line PL1 and the like of auxiliary block memory circuits, and when a first address selection line WB11 and the like are put in a selective state to turn a first switch device ON, one out of the second address selection lines is put in a selective state to apply a voltage so as to polarize a ferroelectric capacitor. A non-selective potential is so set as to make a voltage applied to the rest of the second address selection lines half as high as a voltage applied to the selected ferroelectric capacitor, and a non-selective potential is given to the second address selection lines so as to make a voltage applied to the ferroelectric capacitor equal to zero when the first address selection lines are put in a non-selective state to turn the first switch device in an OFF state.



LEGAL STATUS

[Date of request for examination] 09.03.2000

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About a semiconductor memory, especially this invention is used for the thing using a ferroelectric capacitor, and relates to effective technology.

[0002]

[Description of the Prior Art] There is a semiconductor device which formed two or more ferroelectric capacitors (capacitor) to one switching device for high integration etc. as shown in drawing 32. There is JP,4-90189,A about such a semiconductor device.

[0003]

[Problem(s) to be Solved by the Invention] if the invention-in-this-application person had, when two or more ferroelectric capacitors were formed to one switching device as mentioned above, it actually found out that there were many various problems which must be solved in stress to the ferroelectric capacitor of not choosing [which is produced inevitably], upper circuitry, upper layout, etc. accompanying [carry out writing / reading appearance and] actuation.

[0004] The purpose of this invention is to offer the semiconductor memory which made the stress to a non-choosing ferroelectric capacitor mitigate, attaining substantial high integration. Other purposes of this invention are to offer the semiconductor memory which realized stabilization of operation, attaining high integration. The other purposes and the new feature will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0005]

[Means for Solving the Problem] It will be as follows if an outline of a typical thing is briefly explained among invention indicated in this application. Namely, the 1st switching device by which a control terminal was connected to the 1st address selection line, An electrode is connected common [while] to an end side of this 1st switching device. It has a subblock storage circuit which consists an electrode of another side which is superficially located in a line, is arranged and becomes so that it may intersect perpendicularly to an electrode of a method of up Norikazu of plurality which comes to form a ferroelectric capacitor in an intersection of two electrodes as 2nd address selection line. The address different, respectively is assigned to the 1st address selection line of each ** block store circuit. An address selection circuit which assigned the address respectively common to the 2nd address selection line of a subblock storage circuit which consists of the above-mentioned plurality, and was communalized is prepared. Voltage which changes into a selection condition one in the 2nd address selection line which consists of plurality when it changes the 1st address selection line into a selection condition and the 1st switching device is made into an ON state, and polarization produces in a ferroelectric capacitor is given. It is made non-choosing potential of voltage which joins a ferroelectric capacitor with which voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly. When it changes the 1st address selection line into a condition of not choosing and the 1st switching device is made into an OFF state, non-choosing potential from which voltage which joins a ferroelectric capacitor is set to about 0 is given to the 2nd

address selection line which consists of plurality.

[0006]

[Function] Carrying out densification of the ferroelectric capacitor as much as possible, and attaining high integration to the 2nd address selection line which constitutes the electrode of another side of the ferroelectric capacitor arranged at high density, according to the above-mentioned means, since one selection circuitry can be prepared to two or more, since voltage does not join the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device, the stress to these dielectrics capacitor can be reduced sharply.

[0007]

[Means for Solving the Problem] It will be as follows if an outline of others and a typical thing is briefly explained among invention indicated in this application. That is, when the 1st switching device of a subblock storage circuit where the above-mentioned ferroelectric capacitor was communalized for while, and the 2nd switching device prepares and corresponds to an electrode side is an ON state and the 1st switching device of a subblock storage circuit corresponding to an OFF state is an OFF state, it is made an ON state and the same potential as potential of the 2nd selection line at the time of un-choosing is given.

[0008]

[Function] According to the above-mentioned means, the stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device can be reduced efficiently.

[0009]

[Means for Solving the Problem] It will be as follows if an outline of others and a typical thing is briefly explained among invention indicated in this application. Namely, precharge voltage of voltage which polarization produces in a ferroelectric capacitor through the 1st switching device which becomes half mostly is given to that un-choosing is supposed among subblock storage circuits which consist of the above-mentioned plurality. The 1st switching device of a subblock storage circuit chosen after this precharge actuation is made into an ON state. Voltage from which polarization produces one in the 2nd address selection line which consists of plurality in a ferroelectric capacitor which were chosen by changing into a selection condition is given. It is made non-choosing potential of voltage which joins a ferroelectric capacitor with which voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly.

[0010]

[Function] According to the above-mentioned means, the stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device can be reduced sharply, attaining communalization of the 2nd address selection line of a subblock by the easy configuration.

[0011]

[Means for Solving the Problem] It will be as follows if an outline of others and a typical thing is briefly explained among invention indicated in this application. That is, the memory cell array section with a memory cell which consists of one switching device and one ferroelectric capacitor is made to put side by side, an electrode of a method of up Norikazu is omitted in this memory cell array section, an electrode of another side of a dummy corresponding to the 2nd selection line is prepared, and a layout pattern of the 2nd selection line considers as the same configuration as it of the above-mentioned subblock storage circuit.

[0012]

[Function] Having storage block of a configuration of differing according to the above-mentioned means, fluctuation of the pattern size by the roughness and fineness of the electrode of another side of a capacitor can be prevented, and a margin of operation can be secured.

[0013]

[Example] a part of one example of the semiconductor memory applied to this invention at drawing 2 -- a block diagram shows -- having -- a part of remainder [drawing 3] -- the block diagram is shown. In order to clarify relation with drawing 3 , drawing 3 is overlapped in part and it is drawn on drawing 2 . Each circuit block and circuit element of this drawing are formed on one semiconductor substrate like

single crystal silicon of the manufacturing technology of a well-known semiconductor integrated circuit. In this application, MOSFET uses in the sense of an insulated gate field effect transistor (IGFET). [0014] it shall operate by data carrying out writing / reading appearance of the semiconductor memory of this example in a 8-bit unit As for the memory array section, 2x8 memory block is shown as a representative. That is, eight memory block is prepared in a longitudinal direction, and two memory block is prepared in a lengthwise direction. Eight memory block arranged in the above-mentioned longitudinal direction is prepared corresponding to eight data terminal DIO-1 thru/or DIO-8. The circuit corresponding to two of memory block of it is shown in instantiation as a representative by this drawing.

[0015] One memory block is divided into two submemory-block store circuits SBL1 and SBL2 as shown in memory block BL11. Two or more unit store circuits which consist of one switch MOSFETT11, ferroelectric capacitors Q2 and Q10 kicked ** (this drawing two pieces) to it, and a switch MOSFETT21 formed for stress prevention are established in one subblock storage circuit SBL1. [two or more] That is, eight unit store circuits are prepared corresponding to the main data lines D1-D8 which consist of eight.

[0016] In one subblock storage circuit SBL1, the data line of d1-d8 is formed corresponding to eight switches MOSFET represented by MOSFETT11 by which the gate was connected in common to the WORD block line WB11 which is the 1st address selection line. These data lines d1-d8 constitute the above-mentioned ferroelectric capacitors Q1-Q8 which are mentioned later, and one electrode of Q9-Q16. In this example, the switch MOSFET for the stress prevention represented by the above MOSFETT21 is formed in the other end of the above-mentioned data lines d1-d8, and it connects with the stress prevention voltage supply line SD 1. The electrode P11 of another side for constituting the above-mentioned ferroelectric capacitors Q1-Q8 is formed in common. This electrode P11 is arranged so that it may intersect perpendicularly with the above-mentioned data lines d1-d8 as 2nd address selection line. An electrode P12 is arranged together with the above-mentioned electrode P11 corresponding to other ferroelectric capacitors Q9-Q16.

[0017] Corresponding to eight switches MOSFET represented by MOSFETT12 by which the gate was connected in common to the WORD block line WB12 which is the 1st address selection line like the above also in the subblock storage circuit SBL2 of another side which constitutes the above-mentioned memory block BL1, the data line of d1' - d8' is formed. Data-line d1' of these plurality - d8' constitute the above-mentioned ferroelectric capacitors q1-q8 which are mentioned later, and one electrode of q9-q16. In this example, the switch MOSFET for the stress prevention represented by the above MOSFETT22 is formed in the other end of above-mentioned data-line d1' - d8', and it connects with the above-mentioned stress prevention voltage supply line SD 1. The electrode P12 of another side for constituting the above-mentioned ferroelectric capacitors q1-q8 is formed in common. This electrode P12 is arranged together with other address selection lines P22 which constitute other ferroelectric capacitors q9-q16 so that it may intersect perpendicularly with above-mentioned data-line d1' - d8' as 2nd address selection line.

[0018] That is, as for memory block BL1, the two above-mentioned subblock storage circuits SBL1 and SBL2 are arranged at a vertical symmetry target on both sides of the stress prevention voltage supply line SD 1. Especially the electrodes P11 and P12 and the address assignment of P21 and P22 that are the 2nd address selection line in order to make a substantial wire length the same mutually, although not restricted are assigned like 1 and 2 sequentially from a top rather than are symmetrical with the upper and lower sides.

[0019] The above-mentioned ferroelectric capacitor Q1 grade constitutes one memory cell from itself, and can form two electrodes d1 and P11 grade as mentioned above only by arranging so that it may intersect perpendicularly on both sides of a ferroelectric. That is, an electrode d1 and an electrode P11 are formed in a different layer, it is the location where two electrodes crossed, and a capacitor can be formed in high density when a ferroelectric is prepared in the layer between two electrodes. However, considering the address selection circuit for memory access, even if it arranges only a memory cell to high density, it is meaningless, if it is not what was able to take the adjustment on a layout with an

address selection circuit, it learns, and it is **. That is, considering a store circuit, adjustment is indispensable to the geometric element [circuit / which sometimes performs the selection with a memory array / address selection] arrangement on a semiconductor substrate. The adjustment of an address selection circuit and a memory array is bad, when the degree of integration of an address selection circuit is lower than the degree of integration of a memory array, the degree of integration of a semiconductor memory will be ** (ed) by the degree of integration of an address selection circuit, and will become things, and high integration will be restricted.

[0020] In this example, to the above-mentioned subblock storage circuits SBL1 and SBL2, the same address as the electrodes P11 and P12 which are the 2nd address selection line is assigned, and it connects with the common plate PL 1. The address same similarly as the electrodes P21 and P22 which are the 2nd address selection line of another side is assigned, and it connects with the common plate PL 2. And common plate line driver PL-DV1 as an address selection circuit is formed to these common plates PL1 and PL2.

[0021] By considering as such a configuration, common plate line driver PL-DV can be formed with a twice [about] as many big pitch as this to the pitch of the electrodes P11-P22 of another side which is the 2nd address selection line substantially, and can take the adjustment of the memory array section and an address selection circuit.

[0022] Also in the memory block BL21 shown as other representatives, it considers as the same configuration as the above. And in this drawing, the memory block BL18 and BL28 shown as a black box by the dotted line and other memory block omitted in the meantime are considered as the same configuration. The electrode P11 grade of another side of the ferroelectric capacitor as an address selection line of the above 2nd constitutes the electrode of another side of the ferroelectric capacitor as a memory cell contained in other memory-block selection-circuitry BL18 grades to which it was extended in the longitudinal direction as it is, and the same address was assigned.

[0023] Y selector YSW-1 chooses that [one] from the above-mentioned main data lines D1-D8, and it connects it to a common data line. Data terminal DIO-1 is prepared in this common data line at above-mentioned writing / readout-circuitry RWC1. In addition, in order for the above-mentioned Y selector YSW-1 to make this stress mitigate to a non-choosing memory cell, the switch MOSFET which writes in also to the main data line for un-choosing (read-out), and supplies voltage $V_o / 2$ of the one half of voltage V_o is added.

[0024] Y selection of the same configuration as the above, and writing/readout circuitry are prepared also to remaining seven data terminal DIO-2-DIO-8. It is shown as a representative, and the Y selection 7, and the writing / readout-circuitry RWC7 corresponding to data terminal DIO-7 of them is omitted, and other circuits' is in this drawing.

[0025] As for the word line (common plate line PL1 grade) which is the word line (block selection line WB11 grade) and the 2nd address selection line which are the 1st address selection line of memory block of the above-mentioned memory array section, the potential of selection / not choosing is given by decoder WB-DEC and PL-DEC, respectively. X system address signal XA is incorporated by the address latch circuit XAL through an address buffer XAB. Above-mentioned decoder WB-DEC and PL-DEC decode the address signal incorporated by the address latch circuit XAL, and form selection / non-selection signal of the 1st address selection line and the 2nd address selection line corresponding to a series of operating sequences.

[0026] Switch control of each switch MOSFET of above-mentioned Y selector YSW-1-YSW-8 is carried out by the Y decoder YDEC. Y system address signal YA is incorporated by the address latch circuit YAL through an address buffer YAB. The Y decoder YDEC decodes the address signal incorporated by the address latch circuit YAL, it connects with writing / readout-circuitry RWC, and the one selected data line supplies bias voltage $V_o / 2$ to remaining seven non-select data lines.

[0027] a control circuit CONT -- supply voltage V_{cc} -- writing in -- half voltage V_o -- writing -- writing / reading appearance is carried out to the output of ***** $V_o / 2$, and timing signal phi etc. is formed corresponding to signal R/W. In addition, a chip selection signal/CE, and the high voltage for compulsive refresh processing (or polling processing) that is not illustrated are supplied if needed.

Moreover, when adding block access actuation and an automatic write-in verify function, the logical circuit for the sequence control is prepared.

[0028] Layout pattern drawing of one example of memory block in the semiconductor memory concerning this invention is shown in drawing 1. The example from which one memory block was divided into two subblock storage circuits divided up and down is shown, and this drawing supports mostly one memory block of above-mentioned drawing 2.

[0029] The difference between the configuration element of memory block of drawing 2 and the configuration element of memory block shown in drawing 1 is explained below. Each ** block store circuit of memory block of drawing 2 One switch MOSFET for stress prevention combined with one switch MOSFET and stress prevention voltage supply line which were combined with the 1st address selection line As opposed to being constituted by the unit store circuit containing two ferroelectric capacitors connected between each above-mentioned switch MOSFET One switch MOSFET on which the subblock storage circuit of memory block of drawing 1 was connected to the 1st address selection line It is constituted by the unit store circuit containing four ferroelectric capacitors connected between one switch MOSFET for stress prevention combined with the stress prevention voltage supply line, and each above-mentioned switch MOSFET. Furthermore, memory block of drawing 1 is constituted by the six main data lines to memory block of drawing 2 being constituted by the eight main data lines.

Moreover, in drawing 1, four common plate drivers are prepared to one memory block corresponding to the unit store circuit of each ** block store circuit of memory block containing four ferroelectric capacitors.

[0030] In this drawing, the electrodes P11-P41 as the data line which constitutes the subblock storage circuit SLB 1 of the bottom connected with the main data lines D1-D6 shown in the lengthwise direction by the dotted line through the switch MOSFETT11 grade formed so that it might lap with it, and 2nd address selection line arranged so that it may intersect perpendicularly with these are formed. The gate of the above-mentioned switch MOSFETT11 grade is constituted in one with the WORD block line WB11. As for the subblock storage circuit SBL1 of this example, the example in which four ferroelectric capacitors are formed to one switch MOSFETT11 grade is shown.

[0031] Although not restricted especially, the WORD block selection line WB11 is the wiring layer of the 1st layer, for example, consists of polish recon layers. the data line in the subblock storage circuit SBL1 connected through switch MOSFETT11 grade, it, and rectangular **** -- the plate electrodes P11-P41 made like are formed of the metal wiring layer which consists of a two-layer eye and a wiring layer of the 3rd layer, and consists of platinum, respectively so that it may mention later. The switch MOSFETT21 grade for stress prevention is prepared in the other end of the data line in the above-mentioned subblock storage circuit SBL1, and it connects with the above-mentioned stress prevention voltage supply line SD 1. The gate of the switch MOSFETT21 grade of the above-mentioned stress prevention is connected to the data block line DB11.

[0032] The lower subblock storage circuit SBL2 is symmetrically formed to the above-mentioned stress prevention voltage supply line SD 1. That is, the above-mentioned voltage supply line SD 1 for stress prevention is adjoined, the switch MOSFETT22 grade for stress prevention is prepared, and the gate is connected to the data block line DB12. The electrodes P12-P42 as the data line which constitutes the subblock storage circuit SBL2 of the bottom connected with the main data lines D1-D6 shown in the above-mentioned lengthwise direction by the dotted line through the switch MOSFETT12 grade formed so that it might lap with it, and 2nd address selection line arranged so that it may intersect perpendicularly with these are formed. And the gate of the above-mentioned switch MOSFETT12 grade established in the data-line bottom is constituted in one with the WORD block selection line WB12.

Although only one memory block is shown in this drawing, other memory block is prepared so that the WORD block line may adjoin the above-mentioned WORD block line WB11 or WB12 and may be arranged, and is arranged at a vertical symmetry target to the contact train of the main data line and the switch MOSFET corresponding to it. By such symmetry arrangement, the number of KONTOKUTO can arrange a memory array efficiently few.

[0033] this -- an example -- * * -- the above -- secondary -- block storage -- a circuit -- SBL -- two --

an electrode -- P -- 12 - P -- 42 -- a driver -- a side -- setting -- a lengthwise direction -- extending -- having -- connection -- wiring -- PL -- one -- ' - PL -- four -- ' -- minding -- common -- a plate -- a line -- PL -- one - PL -- four -- connecting -- having . Although this connection wiring PL1' - especially PL4' are not restricted, the 4th layer wiring is used, for example, let them be a metal wiring layer like the aluminum.

[0034] The four above-mentioned common plate lines are divided into 2 sets, the common plate lines PL1 and PL2 and the common plate lines PL3 and PL4, and are arranged. The common plate lines PL1 and PL2 are combined with electrodes P11 and P12 and electrodes P21 and P22, respectively, and the common plate lines PL3 and PL4 are combined with electrodes P31 and P32 and electrodes P41 and P42 in common, respectively. The output signal of common plate line driver PL-DV1 arranged at the bottom and PL-DV2 is told to electrodes P11 and P12 and electrodes P21 and P22 through the common plate lines PL1 and PL2 constituted by the wiring layer of the 5th layer. Similarly, it is divided into 2 sets and the output signal of common plate line driver PL-DV3 arranged at the bottom and PL-DV4 is told to other electrodes P31 and P32 by which common connection was made, and P41 and P42 through the common plate lines PL3 and PL4 constituted by the wiring layer of the 5th layer.

[0035] What is necessary is just to arrange substantially only two common plate line drivers which choose it to each ** block critical circuit, although the unit store circuit included by considering as such a configuration in each ** block store circuit has four plate lines (four ferroelectric capacitors). A circuit can be formed in high density, taking geometric adjustment with the address selection circuit containing the common plate line driver and decoder which form a memory array and its selection signal by doing in this way. That is, that the degree of integration of a memory array is higher than the degree of integration of an address selection circuit enables [avoiding thru/or improving] the degree of integration of a semiconductor memory to **** to the degree of integration of an address selection circuit.

[0036] The circuit diagram for explaining one example of the writing of the above-mentioned semiconductor memory and the method of reading to drawing 4 is shown. In this drawing, two, a selection block and a non-choosing block, are shown in instantiation as a representative. In this example, voltage which produces reversal of polarization shall be set to Vo in ferroelectric capacitor Q1 grade, and reversal of polarization shall not arise in voltage Vo / 2 of that one half.

[0037] The switch MOSFETT11 grade of the selection secondary block SBL1 in the selection block BL11 is made into an ON state (ON), and a switch MOSFETT12 is made into an OFF state (OFF). Thereby, as for the data lines d1-d8 of the subblock storage circuit SBL1, each is connected to the main data lines D1-D8. At this time, the main data line D1 is chosen among the main data lines D1-D8, and writing or the read-out signal 0 (or Vo) is supplied. Vo/2 are supplied to other non-choosing main data lines D2-D8.

[0038] In the above-mentioned selection secondary block SBL1, when the plate electrode P11 is chosen and writing or read-out is performed to the ferroelectric capacitor Q1, voltage Vo (or 0) is supplied to the common plate line PL 1, and Vo/2 are supplied to the common plate line PL 2 of other not choosing.

[0039] Thereby, to between the two electrodes of the ferroelectric capacitor Q1 of the selection secondary block SBL1, Vo is impressed and reversal of polarization is enabled. Of course, the condition is maintained if as the sense of polarization of a maintenance condition in the ferroelectric capacitor Q1. On the other hand, in the ferroelectric capacitors Q2-Q8 of not choosing [which consists of an above-mentioned selection plate electrode P11 and the non-choosing data lines d2-d8], since only the voltage of Vo/2 is impressed, the condition of polarization of a basis is held. Also in the ferroelectric capacitor Q9 which consisted of the data line d1 of the above-mentioned selection, and a non-choosing plate electrode P12, since only the voltage of Vo/2 is impressed like the above, the condition of polarization of a basis is held. In the ferroelectric capacitors Q9-Q16 which consisted of the data lines d2-d8 of above-mentioned not choosing, and a non-choosing plate electrode P21, the voltage from which the voltage given between two electrodes serves as this potential of Vo/2, and causes about [that reversal of polarization does not arise] and stress like Vo/2 is not impressed, either.

[0040] The switch MOSFETT12 grade of the non-choosing secondary block SBL2 in the selection BL11 is made into an OFF state (OFF), and a switch MOSFETT22 is made into an ON state (ON). Thereby, each is connected to the stress prevention voltage supply line SD 1, and, as for data-line d1' of the non-choosing subblock storage circuit SBL2 - d8', voltage $Vo / 2$ are impressed. In the ferroelectric capacitors q1-q8 formed in the plate electrode P12 with which voltage like Vo (or 0) is impressed by communalization of the above-mentioned plate electrodes P11 and P12 by this, since impression ** has only voltage like $Vo/2$, reversal of polarization is not produced. Moreover, in the ferroelectric capacitor constituted between data-line d1' of above-mentioned not choosing - d8', and the non-choosing plate electrode P22, the voltage from which the voltage given between two electrodes serves as this potential of $Vo/2$, and causes about [that reversal of polarization does not arise] and stress like $Vo/2$ is not impressed.

[0041] In the non-choosing block BL21, the switches MOSFETT13, T23, and T14 connected to the main data lines D1-D8 and the stress prevention voltage supply line SD 2 and T24 grade will be in an OFF state. Since the discharge of data-line d1"-d8" within a block etc. is carried out like 0V by the discharge circuit which is not illustrated and 0V are only impressed also to the plate electrodes P31-P42. The voltage which polarization does not arise and causes stress is not impressed.

[0042] The outline wave form chart for explaining write-in actuation and read-out actuation is shown in drawing 5. In a write cycle, 0V as shown by Vo or a dotted line as shown as a continuous line are supplied to what was chosen in the main data line. On the other hand, $Vo/2$ are supplied to the non-choosing main data line. Although the above-mentioned main data line was chosen, Vo as indicated to be voltage by 0V or a dotted line as shown in reverse as a continuous line is supplied to what was chosen in the common plate line. moreover, plate voltage of not choosing in a selection block is set to $Vo/2$, and plate voltage in a non-choosing block is set to 0V.

[0043] In a read-out cycle, to what was chosen in the main data line, as a continuous line shows, it is precharged at the period Vo of (a), and since plate voltage is set to 0V, it is what reversal of polarization produced and the current accompanying polarization is sensed with a sense amplifier in the period of (b). That is, the potential change corresponding to migration of the charge accompanying reversal of polarization appears in the data line, and this is sensed by the sense amplifier. On the other hand, potential change does not arise in the data line to which the ferroelectric capacitor with which reversal of polarization is not performed is connected. in order to return reversal of such polarization depended for carrying out reading appearance, it returns to the condition even if it carries out reading appearance of the voltage of plate voltage to the main data line chosen as shown in (c) and makes it reverse with the time. It is set to 0V and the condition is made to hold at both the times of polarization being un-reversed, as a dotted line shows. Also in a read-out cycle, the voltage of the non-choosing main data line or a plate electrode is the same as that of said writing.

[0044] the outline wave form chart for carrying out reading appearance to write-in actuation with the selection secondary block SBL1 within the above-mentioned selection block, and explaining actuation to drawing 6 is shown. In a write cycle, transfer MOSFETT21 by which the data line is connected to a stress prevention voltage supply line at an ON state in the transfer MOSFETT11 which connects the line to the main data line is made into an OFF state. The selection voltage Vo (or 0V) of the main data line is impressed to the selected data line d1 by this, and voltage $Vo / 2$ of the non-choosing main data line are impressed to other non-select data lines d2-d8. The voltage of a plate line is the same as that of said drawing 5. Thereby, voltage Vo is impressed to the ferroelectric capacitor formed between the select data line d1 and the plate line P11 of selection. Only the voltage of $Vo/2$ is impressed to other ferroelectric capacitors.

[0045] In a read-out cycle, the transfer MOSFETT11 by which the data line is connected as mentioned above to the main data line to an ON state Since transfer MOSFETT21 by which the data line is connected to a stress prevention voltage supply line is made into the OFF state, to the selected data line d1 As a continuous line shows, it is precharged at the period Vo of (a), and since voltage of a plate electrode is set to 0V, it is what reversal of polarization produced and the current accompanying polarization is sensed with a sense amplifier in the period of (b). in order to return reversal of such

polarization depended for carrying out reading appearance, it returns to the condition even if it carries out reading appearance of the voltage of plate voltage to the data line chosen as shown in (c) and makes it reverse with the time. It is set to 0V and the condition is made to hold at both the times of polarization being un-reversed, as a dotted line shows. The read-out cycle smell of the voltage of the non-choosing main data line or a plate electrode is the same as that of said writing.

[0046] The outline wave form chart accompanying the write-in actuation with the non-choosing secondary block SBL2 and read-out actuation within the above-mentioned selection block is shown in drawing 7. In writing and a read-out cycle, transfer MOSFETT22 by which the data line is connected to a stress prevention voltage supply line at an OFF state in the transfer MOSFETT12 by which the data line is connected to the main data line is made into an ON state. Thereby, $Vo/2$ are impressed to data-line d1"-d8." Others are the same as that of said drawing 6. although voltage like Vo is impressed at the time of the re-writing in accordance with reversal of the data twisted for carrying out writing or reading appearance also in the non-choosing secondary block SBL2 by communalization of a plate line -- above -- the data line d1 -- since $Vo/2$ are impressed to "-d8", reversal of polarization is not produced.

[0047] The condition corresponding to the others [what / is made to write in by specifying the impression direction of the above-mentioned voltage according to 1 and 0] 0, for example, the data, of data is decided to be an elimination condition, and elimination writing which becomes the sense of polarization corresponding to data 0 on the occasion of writing is performed, and it may be made to write in only to what becomes data 1 after that. That is, like rewriting actuation of the conventional package elimination mold EPROM etc., in the data writing in a 8-bit unit, all bits are changed into an elimination condition 0, and only the bit changed into 1 from zero in 8 bits may be written in. By doing in this way, the polarity of the voltage supplied to the main data line or a plate line can be set up regularly.

[0048] That is, in the 1st elimination period and the 2nd write-in period, the block word line to which the gate of the above-mentioned transfer MOSFET was connected is maintained to selection potential. At the time of 1st "0" writing which can be set during the elimination The potential of the plate line chosen changes from non-choosing level like $Vo/2$ to selection level like 0V, and the potential of the data line changes from non-choosing level like $Vo/2$ to write-in voltage like Vo synchronizing with this. The voltage of Vo is impressed to the selected ferroelectric capacitor by this, and it is made for polarization to turn to an one direction.

[0049] At the time of 2nd "1" writing performed successively, the potential of the 2nd word line chosen changes from 0V to Vo , and the potential of the data line changes from Vo 0V. This writes in the selected ferroelectric capacitor with the above at the polarity of reverse, voltage Vo is impressed, and it is made for polarization to turn to another side.

[0050] The circuit diagram for explaining other one example of the writing of the above-mentioned semiconductor memory and the method of reading to drawing 8 is shown. In this drawing, two, the selection block BL11 and the non-choosing block BL21, are shown in instantiation as a representative like the example of drawing 4.

[0051] In this example, other one example of the impression method of the bias by the side of the non-choosing block BL21 is shown, and since it is the same as the example of said drawing 4 about the selection block BL11 side, explanation is omitted. In the non-choosing block BL21 side, the switch MOSFETT23 and T24 grade corresponding to the stress prevention voltage supply line SD 2 are made into an ON state (ON), and intermediate voltage like $Vo/2$ is supplied to the end of the source-drain path of a switch MOSFETT23 and T24 grade. According to this, plate voltage is also set as $Vo/2$ of the same potential as data-line d1" within a block - d8" from the above 0. Or in the non-choosing block BL21, 0V are supplied to the stress prevention voltage supply line SD 2, and plate voltage is also good as for 0V according to it. Since the same bias voltage is given to the two electrodes of the ferroelectric capacitor of the non-choosing block BL21 by such configuration, without establishing a discharge circuit in data-line d1" - d8" exceptionally as mentioned above, stress concerning a non-choosing ferroelectric capacitor can be made into min.

[0052] a part of other one example of the semiconductor memory applied to this invention at drawing 9 -

- a block diagram shows -- having -- a part of remainder [drawing 10] -- the block diagram is shown. Similarly, in order [said] to clarify relation with drawing 10 , drawing 10 is overlapped in part and it is drawn on drawing 9 .

[0053] In this example, a stress prevention voltage supply line and the switch MOSFET formed corresponding to it are omitted. That is, one memory block BL11 is divided into two subblock storage circuits SBL1 and SBL2; it is made for the plate electrodes P11 and P12, and P21 and P22 to be communalized in two subblock storage circuits SBL1 and SBL2, and the pitch of the common plate line driver corresponding to it is made large. Other configurations are the same as that of examples, such as said drawing 2 and drawing 3 .

[0054] With this configuration, since the switch MOSFET which connects a stress prevention voltage supply line, and it and the data line of a subblock as mentioned above is omissible, a circuit serves as a basis which can be simplified sharply.

[0055] The circuit diagram for explaining one example of the method of reading to drawing 11 as the writing in the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 is shown. In this drawing, two, the selection block BL11 and the non-choosing block BL21, shall be shown in instantiation as a representative, said voltage which produces reversal of polarization shall be similarly set to V_o in ferroelectric capacitor Q1 grade, and reversal of polarization shall not arise in voltage $V_o/2$ of the one half.

[0056] In this example, as mentioned above, since the stress prevention voltage supply line and Switch MOSFET were omitted for the simplification of a circuit, an operating sequence performs the function equivalent to it. That is, a precharge period is established in advance of writing or read-out actuation. In this precharge period, it is made a low level, and the WORD block line WB11 of a selection secondary block of a selection block makes high-level the block word line WB12 of the non-choosing secondary block SBL2 for switch MOSFETT11 grade at an OFF state, and is made into an ON state in switch MOSFETT12 grade. And the main data lines D1-D8 are altogether made un-choosing, and $V_o/2$ are supplied. This precharges data-line d1' of a non-choosing secondary block - d8' to $V_o/2$.

[0057] After the above precharge is completed, the switch MOSFETT11 grade of the selection secondary block storage circuit SBL1 in the selection block BL11 is made into an ON state (ON), and a switch MOSFETT12 is made into an OFF state (OFF). Thereby, as for the data lines d1-d8 of the selection secondary block storage circuit SBL1, each is connected to the main data lines D1-D8. On the other hand, data-line d1' of the non-choosing secondary block storage circuit SBL2 - d8' are held like said drawing 4 ** $V_o/2$. As difference of said drawing 4 and drawing 11 , it sets in the example of drawing 4 . Data-line d1' - d8' It sets in the example of drawing 11 to the voltage of $V_o/2$ being regularly supplied through the switch MOSFET for stress prevention. By holding a charge at the parasitic capacitance parasitically combined with data-line d1'-d8' etc., it is the point that the potential of data-line d1' - d8' is maintained by $V_o/2$.

[0058] And the main data line D1 is chosen among the main data lines D1-D8, and writing or the read-out signal 0 (or V_o) is supplied. $V_o/2$ are supplied to other non-choosing main data lines D2-D8. In the above-mentioned selection secondary block storage circuit SBL1, when the plate electrode P11 is chosen and writing or read-out is performed to the ferroelectric capacitor Q1, voltage V_o (or 0) is supplied to the common plate line PL 1, and the common plate line PL 2 of other not choosing is switched to $V_o/2$ from 0.

[0059] Thereby, between the two electrodes of the ferroelectric capacitor Q1 of the selection secondary block storage circuit SBL1, V_o is impressed and reversal of polarization is enabled. Of course, the condition is maintained if as the sense of polarization of a maintenance condition in the ferroelectric capacitor Q1. On the other hand, between the two electrodes of the ferroelectric capacitors Q2-Q8 of not choosing [which was formed between the above-mentioned selection plate electrode P11 and the non-choosing data lines d2-d8], since only the voltage of $V_o/2$ is impressed, the condition of polarization of a basis is held. Also in the ferroelectric capacitor Q9 formed between the data line d1 of the above-mentioned selection, and the non-choosing plate electrode P12, since only the voltage of $V_o/2$ is impressed like the above, the condition of polarization of a basis is held. In the ferroelectric capacitors

Q10-Q16 formed between the data lines d2-d8 of above-mentioned not choosing, and the non-choosing plate electrode P21, the voltage from which the voltage given to two electrodes serves as this potential of $Vo/2$, and causes about [that reversal of polarization does not arise] and stress like $Vo/2$ is not impressed between two electrodes.

[0060] The switch MOSFETT12 grade of the non-choosing secondary block storage circuit SBL2 in the selection block BL11 maintains the above-mentioned condition, and is made into an OFF state (OFF), and data-line d1' - d8' holds $Vo/2$. In the ferroelectric capacitor which has by this the plate electrode P12 with which voltage like Vo (or 0) is impressed by communalization of the above-mentioned plate electrodes P11 and P12, since impression ** has only voltage like $Vo/2$ between two electrodes, reversal of polarization is not produced. Moreover, in the ferroelectric capacitor which consisted of data-line d1' of above-mentioned not choosing - d8', and a non-choosing plate electrode P22, the voltage from which both voltage serves as this potential of $Vo/2$, and causes about [that reversal of polarization does not arise] and stress like $Vo/2$ is not impressed.

[0061] In the non-choosing block BL21, a switch MOSFETT13 and T14 grade will be in an OFF state by making the main data lines D1-D8 and the WORD block lines WB21 and WB22 into a low level. Data-line d1"-d8" within the non-choosing block BL21 etc. although not restricted especially, since the discharge is carried out like 0V by the discharge circuit which is not a drawing example and 0V are only impressed also to the plate electrodes P31-P42, the voltage which polarization does not arise and causes stress is not impressed

[0062] the outline wave form chart for carrying out reading appearance to write-in actuation of above-mentioned drawing 11, and explaining actuation to drawing 12 is shown. In a write cycle, a precharge period is established and the above precharge actuation of $Vo/2$ is performed. Termination of such a precharge period supplies Vo (or 0V as shown by the dotted line) as shown as a continuous line to said thing similarly chosen in the main data line. On the other hand, $Vo/2$ are supplied to the non-choosing main data line. Although the above-mentioned main data line was chosen, 0V (or Vo as shown by the dotted line) as indicated to be voltage to reverse as a continuous line are supplied to what was chosen in the common plate line. Moreover, plate voltage of not choosing in a selection block is set to $Vo/2$, and plate voltage in a non-choosing block is set to 0V.

[0063] In a read-out cycle, a precharge period is established and the above precharge actuation of $Vo/2$ is performed. After such a precharge period expires, to said thing similarly chosen in the main data line, as a continuous line shows, it is precharged at the period Vo of (a), and since plate voltage is set to 0V, it is what reversal of polarization produced and the current accompanying polarization is sensed with a sense amplifier in the period of (b). That is, the potential change corresponding to migration of the charge accompanying reversal of polarization appears in the data line, and this is sensed by the sense amplifier. On the other hand, potential change does not arise in the data line to which the ferroelectric capacitor with which reversal of polarization is not performed is connected. in order to return reversal of such polarization depended for carrying out reading appearance, it returns to the condition even if it carries out reading appearance of the voltage of plate voltage to the main data line chosen as shown in (c) and makes it reverse with the time. It is set to 0V and the condition is made to hold at both the times of polarization being un-reversed, as a dotted line shows. The read-out cycle smell of the voltage of the non-choosing main data line or a plate electrode is the same as that of said writing.

[0064] the outline wave form chart for carrying out reading appearance to write-in actuation in the selection secondary block storage circuit SBL1 within the selection block BL11, and explaining actuation to drawing 13 is shown. In a write cycle, a precharge period is established and the above precharge actuation of $Vo/2$ is performed. Termination of such a precharge period makes an ON state said transfer MOSFETT11 by which the data line is similarly connected to the main data line. The selection voltage Vo (or 0V) of the main data line is impressed to the selected data line d1 by this, and voltage $Vo/2$ of the non-choosing main data line are impressed to other non-select data lines d2-d8. The voltage of a plate line is the same as that of said drawing 12. Thereby, voltage Vo is impressed to the ferroelectric capacitor formed between the select data line d1 and the plate line P11 of selection. Only the voltage of $Vo/2$ is impressed to other ferroelectric capacitors.

[0065] In a read-out cycle, a precharge period is established and the above precharge actuation of $V_o/2$ is performed. Termination of such a precharge period makes an ON state said transfer MOSFETT11 by which the data line is similarly connected to the main data line. In the selected data line d1, as a continuous line shows, it is precharged at the period V_o of (a), and since plate voltage is set to 0V, it is what reversal of polarization produced and the current accompanying polarization is sensed with a sense amplifier in the period of (b). in order to return reversal of such polarization depended for carrying out reading appearance, it returns to the condition even if it carries out reading appearance of the voltage of a plate electrode to the data line chosen as shown in (c) and makes it reverse with the time. It is set to 0V and the condition is made to hold at both the times of polarization being un-reversed, as a dotted line shows. The read-out cycle smell of the voltage of the non-choosing main data line or a plate electrode is the same as that of said writing.

[0066] The outline wave form chart accompanying write-in actuation in the non-choosing secondary block storage circuit SBL2 and read-out actuation within the selection block BL11 is shown in drawing 14. In writing and a read-out cycle, a precharge period is established and the above precharge actuation of $V_o/2$ is performed. Termination of such a precharge period makes an OFF state said transfer MOSFETT12 by which the data line is similarly connected to the main data line. $V_o/2$ are held by the above-mentioned precharge at data-line d1"-d8." Others are the same as that of said drawing 13. although voltage like V_o is impressed at the time of the re-writing in accordance with reversal of the data twisted for carrying out writing or reading appearance also in the non-choosing secondary block storage circuit SBL2 by communalization of a plate line -- above -- the data line d1 -- since $V_o/2$ are held "-d8", reversal of polarization is not produced.

[0067] The circuit diagram for explaining other one example of the method of reading to drawing 15 as the writing of the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 is shown. In this drawing, two, the selection block BL11 and the non-choosing block BL21, shall be shown in instantiation as a representative, said voltage which produces reversal of polarization shall be similarly set to V_o in ferroelectric capacitor Q1 grade, and reversal of polarization shall not arise in voltage $V_o/2$ of the one half.

[0068] In this example, it also sets at a precharge period. The WORD block line WB11 of the selection secondary block storage circuit SBL1 of the selection block BL11 is also made high-level, and makes an ON state both the switch MOSFETT11 and T12 grade. [as well as the WORD block line WB12 of the non-choosing secondary block storage circuit SBL2] The main data lines D1-D8 are altogether made un-choosing, $V_o/2$ are supplied, and data-lines [within a selection block] d1-d8 and data-line d1' - d8' is precharged to $V_o/2$.

[0069] After the above precharge is completed, the switch MOSFETT12 grade of the non-choosing secondary block storage circuit SBL2 in the selection block BL11 is switched to an OFF state (OFF), and makes $V_o/2$ hold to data-line d1' of the non-choosing secondary block storage circuit SBL2 - d8'. Since others are the same as that of said drawing 11, they omit explanation. With this configuration, since what is necessary is just to make high-level the WORD block line WB11 of the selection secondary block storage circuit SBL1 in the selection block BL11 over a memory cycle period, control becomes easy.

[0070] Next, the stress of $V_o/2$ concerning the ferroelectric capacitor which should be made un-choosing in the case of memory access is considered. the above -- un-- although selection voltage $V_o/2$ do not reverse polarization directly to a ferroelectric capacitor, they degrade the maintenance property of the remanence in the hysteresis characteristic of the polarization and electric field which it becomes impossible to disregard when the count thru/or time amount becomes long, and a ferroelectric capacitor has.

[0071] for example, the case where connected m ferroelectric capacitors (eight pieces) to one switching device, and it considers as 1024 plate electrodes by using the data line as N book (128) like the semiconductor memory of this example -- all -- about 1 -- if the stress of $V_o/2$ at the time of performing one writing or read-out in all bits is calculated supposing a memory array with the storage capacity of M bits, it will become as it is shown in the following table 1.

[0072]
[A table 1]

		ワード線/データ線	本発明	従来1	従来2	従来3
選択 アロック	選択/非選択	N-1	N-1	N-1	N-1	
	非選択/選択	m-1	M-1	0	m-1	
	非選択/非選択	0	NM-1	0		
非選択 アロック	選択/非選択					
	非選択/選択					
	非選択/非選択	0				N·m(M/m-1)

[0073] What formed the ferroelectric capacitor in the intersection of the data line and a word line in a table 1 without having a switching device like JP,4-336477,A for a comparison is made into the conventional technology (conventional 1). What formed one switch in one ferroelectric capacitor is made into the conventional technology (conventional 2) like JP,3-36763,A. Like JP,4-90189,A, two or more ferroelectric capacitors are formed in one switch, and from an official report, although it is not clear, let what was considered as the configuration which supplies $Vo/2$ regularly as non-choosing level be the conventional technology (conventional 3).

[0074] The count of the maximum stress is set to the following formula (1) thru/or (4).

$$\text{Maximum stress} = (N-1) + \text{of this invention (m-1)} \dots \dots (1)$$

$$\text{Maximum stress} = NM-1 \text{ of conventional 1} \dots \dots (2)$$

$$\text{The maximum stress of conventional 2} = N-1 \dots \dots (3)$$

$$\text{Maximum stress} = 1 + (m-1) \text{ of conventional 3} / N-1$$

$$+ Nm/(N-1) - (M/m-1) \dots \dots (4)$$

[0075] Phase contrast of the maximum stress to 2 is conventionally set to a degree type (5) thru/or (7).

$$\text{Phase contrast} = 1 + (m-1) / \text{of this invention (N-1)} \dots \dots (5)$$

$$\text{Phase contrast} = (NM-1) / (N-1) \text{ of conventional 1} \dots \dots (6)$$

$$\text{Phase contrast} = 1 + (m-1) / \text{of conventional 3 (N-1)}$$

$$+ Nm/(N-1) - (M/m-1) \dots \dots (7)$$

[0076] 3 becomes as large as 1025 times with 1 conventionally to the phase contrast at the time of being referred to as $N=128$, $M=1024$, and $m=8$ as mentioned above becoming almost the same as 1.06 times to 1 of 2 conventionally as for this invention. Stress of $Vo/2$ concerning the ferroelectric capacitor made un-choosing at the time of memory access can be made almost to be the same as that of 1 switch 1 capacitor like 2 before, attaining high integration by forming two or more ferroelectric capacitors to one switching device by this invention from this. In addition, when memory access in a 8-bit unit is performed, the memory array of said same configuration is prepared by the eight whole. So, the storage capacity which a semiconductor memory has turns into mass storage capacity like abbreviation 8M bit.

[0077] The circuit diagram of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 16. In this example, four subblock storage circuits are established in one block like four subblock storage circuits SBL1 thru/or the subblock storage circuit SBL4. Corresponding to this, four plate electrodes P11, P12, P13, and P14 which correspond in four subblock storage circuits SBL1-SBL4, and P21, P22, P23 and P24 are connected to the common plate lines PL1 and PL2, respectively.

[0078] Thus, by making the number of subblock storage circuits increase, the pitch of a common plate line driver can be enlarged further, and the constraint on the layout which forms a plate selection circuitry becomes still looser.

[0079] In this drawing, the predetermined voltage which does not require stress like $V_o/2$ may be supplied, without forming the stress prevention voltage supply line and Switch MOSFET like an example of said drawing 1, and performing the above precharge actuation to the data line of a non-choosing subblock.

[0080] The circuit diagram of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 17. It is made for the number of subblocks to differ for every block in this example. That is, by block 2, two subblock storage circuits SBL5 and SBL6 are formed to four subblock storage circuits SBL1-SBL4 being formed in block 1.

[0081] That is, in block 1, the plate electrode of one each of four subblock storage circuits SBL1-SBL4 is connected to the common plate lines PL1 and PL2. In block 2, the plate electrode of one each of two subblock storage circuits SBL5 and SBL6 is connected to the common plate lines PL3 and PL4.

[0082] It is effective when performing memory access per block makes stress to a ferroelectric capacitor min in the semiconductor memory concerning the invention in this application. It is because direct current voltage which causes stress of a ferroelectric capacitor as mentioned above in non-choosing memory block is not built and will be made, if it is made to perform the writing and read-out of data which were collected for every block compared with performing 1 bit of memory access at a time at intervals ranging over between blocks.

[0083] That is, property deterioration according a ferroelectric capacitor to stress can be made small by being made to carry out writing and read-out by one collected data unit (sector) like magnetic disk memory equipment, and assigning it to one memory block. In this case, it is convenient to make the dynamic mold RAM, the static mold RAM, or the register build in a semiconductor memory, to incorporate the write-in data from the outside to Above RAM and a register, and to write it in a ferroelectric capacitor per block one by one. reading appearance is carried out, and reading appearance is carried out to Above RAM or a register from a ferroelectric capacitor, data is transmitted, reading appearance is carried out to a high speed through this RAM or register, and it is made to make a signal output in actuation

[0084] If that from which the number of subblocks differs like above-mentioned drawing 17 is prepared when performing writing and read-out of the data in a block unit as mentioned above and there are two kinds, the data which consists of an a large number bit, and the data which consists of bits fewer than it, the memory cell within a block can be used effectively without futility by choosing a block according to the size of data.

[0085] The circuit diagram of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 18. Although the number of subblock storage circuits is the same, it is made for the number of plate electrodes to differ for every block in this example. That is, in the subblock storage circuits SBL1 and SBL2 of block 1, one ferroelectric capacitor is formed to Switch MOSFET to two ferroelectric capacitors being formed to one switch MOSFET in the subblock storage circuits SBL3 and SBL4 of block 2. also considering as such a configuration -- said -- the data size for every block can be changed similarly.

[0086] The circuit diagram of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 19. Although the number of subblock storage circuits is the same, it is made for the number of plate electrodes to differ for every block in this example. That is, in the subblock storage circuits SBL1 and SBL2 of block 1, one ferroelectric capacitor is formed to Switch MOSFET to two ferroelectric capacitors being formed to one switch MOSFET in the subblock storage circuits SBL3 and SBL4 of block 2. In this case, with block 1 and block 2, it **** so that the densities of a plate electrode may differ, it is that of ****, and in order to consider as the same configuration as block 1, a dummy plate electrode is prepared.

[0087] That is, to a dummy plate electrode, a ferroelectric capacitor is made not to be formed by making it not intersect the data line within a block. If the plate electrode of such a dummy is prepared, fluctuation of the pattern size by the roughness and fineness of the pattern of a plate electrode can be prevented. That is, in a ferroelectric capacitor, since fluctuation of the above-mentioned pattern size turns into fluctuation of capacity value directly, a margin of operation can be enlarged by fluctuation

prevention of the above pattern sizes.

[0088] The block diagram of the semiconductor memory (FRAM) concerning this invention is shown in drawing 20. This drawing shows the relation between a block and a subblock, and the relation between a common plate line and a plate line.

[0089] i blocks are established from 1 to i . n subblocks are formed in one block. When there are m plate lines (electrode) in each $**$ block, the number of required common plate lines becomes m . This means that it can reduce to $1/n$ to the total ($n \times m$) of each plate line. Consequently, the number of plate line drivers can also be lessened like m pieces.

[0090] Selection of writing or the block at the time of read-out is made to be performed using a block register. It is made to perform selection of the subblock within each block using a subblock selection register. When the number of subblocks differs by every block like said example, let the number of subblock selection registers be the number of the maximum secondary blocks which one block has. And although not restricted especially, the subblock count of each block is memorized in the block selection register, and unnecessary selection is made not to be performed. The number of the maximum secondary blocks which one block has is 2K. When it is an individual, each bit of a block selection register is made into $K+1$ bit, for example, respectively.

[0091] The circuit diagram of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 21. A memory cell is constituted from one switch MOSFET and one ferroelectric capacitor as well as the dynamic mold RAM by this example. Even in this case, the plate lines P11 and P12 are communalized for every block, and it connects with the common plate line PL 1. While being able to prepare a plate line driver per block and forming a memory array side in high density by doing in this way, it can be adjusted and an address selection circuit can be formed.

[0092] It writes in drawing 22 with Y system selection circuitry, and the circuit diagram of one example of a readout circuitry is shown in it. Y selector YSW-1 corresponding to data terminal DIO-1, and read-out / write-in circuit RWC-1 corresponding to it are shown in this drawing in instantiation as a representative.

[0093] The switching device of the pair which consists of a switch MOSFETT4 for selection and a switch MOSFETT3 for un-choosing to the one main data line D1 with which Y selector YSW-1 is shown in instantiation as a representative is prepared. Similarly, it is shown in instantiation as a representative, and also the object for un-choosing, the switches MOSFETT5 and T6 for selection, and T7 and T8 are prepared to the data lines D2 and D8. The switches MOSFETT4, T6, and T8 for selection connect the corresponding main data lines D1, D2, and T8 to a common data line.

[0094] The above-mentioned read-out / write-in circuit RWC-1 are prepared in this common data line. The switches MOSFETT3, T5, and T7 for un-choosing are written in to the corresponding data lines D1, D2, and D8 (read-out), and supply voltage $V_o / 2$ of the one half of voltage V_o . The switch MOSFET the same object for selection and for un-choosing is formed also to other main data lines D3-D7 which are not illustrated.

[0095] The selection signal Y1 formed by the Y decoder YDEC is supplied to the gate of the switch MOSFETT4 for selection corresponding to the above-mentioned data line D1, and this selection signal Y1 is reversed and supplied to the gate of the switch MOSFETT3 for un-choosing by the inverter. Similarly, switch control of the switches MOSFETT6 and T8 for other selections is carried out by selection signals Y2 and Y8, the above-mentioned selection signals Y2 and Y8 are reversed by the inverter circuit, and the switches MOSFETT5 and T7 for un-choosing are supplied. When the one data line is chosen and it connects with a common data line by this, as for other data lines, the bias voltage of $V_o/2$ is given.

[0096] The circuits of a write-in system are the data input buffer DIB, and the data in latch DIL and the write-in amplifier WRITE, and the circuits of a read-out system are a sense amplifier SA, the data out latch DOL, and the data output buffer DOB. The data supplied to the data in latch DIL from the data out latch DOL is a thing for the re-writing by the above destructive reading. That is, when re-writing is required, a re-write-in signal is emitted by the data input buffer DIL and decoder PL-DEC by the data

output latch DOL. Thereby, data-line voltage and plate line voltage are reversed (V_o changes to 0V and 0V are changed to V_o , respectively), and re-writing is performed.

[0097] MOSFETT9 is the switch MOSFET which gives the potential of $V_o/2$ to the common data line to which it writes with the input of the above-mentioned sense amplifier SA by timing signal phi, and the output of Amplifier WRITE is connected. A switch MOSFETT9 precharges the selection main data line to $V_o/2$ at the time of precharge actuation. At this time, the non-choosing main data line is precharged through Y selector YSW-1 $V_o/2$. With termination of this precharge actuation, a switch MOSFETT9 is made into an OFF state, a light amplifier WRITE or a sense amplifier SA operates, and writing or read-out actuation is performed.

[0098] The above MOSFETT9 is omissible. It is because the voltage of $V_o/2$ can be made to output to all the main data lines as mentioned above if an output signal is formed so that the whole of Y selector YSW-1 may be made un-choosing in Decoder YDEC at the time of the above-mentioned precharge actuation. Moreover, like examples, such as said drawing 1, by that by which a stress prevention voltage supply line and the switch MOSFET corresponding to it are formed in a subblock storage circuit, since it is unnecessary to precharge on the in-house-data line of a non-choosing secondary block storage circuit, the above MOSFETT9 is deleted.

[0099] Other whole one example circuit diagrams of the semiconductor memory concerning this invention are shown in drawing 23. The modification of the example of said drawing 2 and drawing 3 is shown in this drawing. That is, in this example, in order to form the read-out reference voltage of a sense amplifier SA, the dummy data line DUMDL1 is formed. Corresponding to this dummy data line DUMDL1, the dummy switch MOSFET, the dummy ferroelectric capacitor Dm1, and Dm2 grade are prepared. The dummy array DUM1 is constituted by these dummy data line DUMDL1, the dummy switch MOSFET and the dummy ferroelectric capacitor Dm1, and Dm2 grade.

[0100] At the time of writing and read-out, the voltage of $V_o/2$ is supplied to a dummy cell (ferroelectric capacitor Dm1 grade) through Precharge MOSFETTd. Thereby, to a dummy cell, storage information is not reversed at the time of writing and read-out. Although especially a dummy cell is not restricted, it is the same configuration as a memory cell. And the electrostatic capacity of a dummy cell is constituted more greatly than the electrostatic capacity of a memory cell. Parasitic capacitance of the main data line and a dummy data line is made the same. For example, by making it become in the middle for a part for potential change of the main data line which generates potential change of the dummy data line by the dummy cell when polarization of a selection memory cell is reversed, and potential change of the main data line generated without polarization of a selection memory cell being reversed, a sense amplifier SA can read at high speed and correctly, and can sense a signal.

[0101] Since other configurations are the same as that of said drawing 2 and example of drawing 3, the explanation is omitted. Moreover, also when the switch MOSFET formed like the example of drawing 9 and drawing 10 corresponding to the voltage supply line SD1 grade for stress prevention or it is omitted, the above-mentioned dummy data line DUMDL can be formed, and the reference voltage of a sense amplifier SA can be formed. In this case, what is necessary is just to form a switch MOSFETT9 for precharge like said drawing 22 in a common data line.

[0102] The memory array section of the semiconductor memory concerning this invention and the circuit diagram of other one example of an I/O system circuit are shown in drawing 24. The modification in the case of forming a dummy data line DUMDL like the example of drawing 23, and forming the reference voltage of a sense amplifier SA is shown by this example. In this example, the dummy data line DUMDL1 is arranged in the center section of memory block. That is, although the dummy array DUM1 has been arranged at the edge of memory block in the example of said drawing 23, the dummy array DUM1 corresponding to it is arranged in the center section of memory block BL21 in this example. If the dummy array DUM1 is formed in the center section of memory block like this example, a moderate property can be acquired also to which the main data line of this memory block, and expansion of the level margin of a sense amplifier SA can be aimed at.

[0103] The memory array section of the semiconductor memory concerning this invention and the circuit diagram of other one example of an I/O system circuit are shown in drawing 25. In this example,

it replaces with the above dummy data lines DUMDL, and the reference voltage of a sense amplifier SA is formed with the dummy capacity Cd. In this case, the capacity value of the dummy capacity Cd is set up more greatly than the sum of the capacity of the actual main data line, and the capacity of a memory cell.

[0104] Also in this example, the switch MOSFET corresponding to the voltage supply line SD2 grade for stress prevention or it may be omitted, and memory block may be constituted. Two or more dummy capacity or above dummy data lines are formed in the area connected to one sense amplifier, and you may make it choose the dummy capacity near the main data line chosen by Y selector, or a dummy data line. By considering as such a configuration, the margin of a sense amplifier SA of operation is expandable.

[0105] The block diagram of one example of the microcomputer with which the semiconductor memory concerning this invention is used for drawing 26 is shown. In this example, the semiconductor memory FRAM applied to this invention as a memory circuit and cache memory C-MEM are used. The semiconductor memory FRAM concerning this invention uses others as a ROM (read only memory), using the specific area in a memory array as RAM (random access memory). Although not restricted especially, access with voltage which reversal of polarization does not produce to memory block like the example of drawing 21, and the same actuation as the dynamic mold RAM is made to perform, a power supply is supplied to a microcomputer and data processing accompanied by writing/read-out of data for this RAM field can be performed at a high speed at the time of operating state.

[0106] When making the power supply of the above-mentioned microcomputer intercept, what needs un-volatilizing-ization before that among the data with which RAM was memorized is made to transmit to the ROM section. Thereby, even if a power supply is intercepted, the ROM section is made to memorize required data and it can do with Lycium chinense. And the data evacuated to Above ROM is read, and it transmits to RAM, and is made to perform high-speed-data processing, when a microcomputer starts actuation by powering on again using RAM again.

[0107] By taking such a configuration, the count of rewriting to FRAM can be reduced sharply. Thereby, the limit of the count of rewriting to FRAM can be lost substantially. The above configurations are suitable for the IC card. That is, in an IC card, un-volatilizing-ization of required stored data is attained without making a dc-battery carry, and it can be used, without receiving substantially the constraint which is the count of rewriting of nonvolatile memory.

[0108] CPU is a microprocessor (central-process unit) and processes data according to a series of data-processing programs. The timer circuit TIM, the serial communication interface SCI, the analog / digital conversion circuit A/D, and I/O circuit I/O other than [above] a semiconductor memory FRAM and C-MEM are prepared as a circumference circuit by Bus BUS focusing on this microprocessor CPU.

[0109] although not restricted to especially the power supply terminals Vcc and Vss -- about 5 -- it is V and 0V, and it is used as above supply voltage for digital circuits, and the selection voltage Vw given to the write-in voltage Vo required for actuation of the above-mentioned semiconductor memory FRAM, and Vo/2 and the 1st word line is formed of an internal booster circuit.

[0110] Power supply terminals AVcc and AVss are the supply voltage for analog circuits. Thus, by setting aside a power supply in a digital circuit and an analog circuit, it can prevent that the comparatively big noise generated on a power supply line at a digital circuit side leaks to the power supply line by the side of an analog circuit.

[0111] The above-mentioned microcomputer cannot be overemphasized by that you may be the thing of a board configuration by which each is constituted with one semiconductor integrated circuit equipment, and is carried in mounting substrates, such as a printed circuit board. In this case, since two or more collection storage of semiconductors can constitute a store circuit FARAM, it can give big storage capacity. Moreover, you may make it connect RAM etc. as external memory.

[0112] The layout pattern of other one example of the memory array section of the semiconductor memory concerning this invention is shown in drawing 27. The A-A' cross section is shown in drawing 28, and the B-B' cross section is shown in drawing 29.

[0113] In this example, the lower electrode 12 of a ferroelectric capacitor is formed on the field insulator

layer 4, and it connects with the source or the drain of Transfer MOSFET so that clearly from drawing 27 - drawing 29. Thereby, the diffusion layer 9 which constitutes the source or the drain of Transfer MOSFET is made into small size required to obtain contact 116. Consequently, while the parasitism resistance in the subdata line within a subblock becomes large a little, that parasitic capacitance can be reduced sharply.

[0114] The manufacturing process cross section for explaining one example of the manufacture method of the above-mentioned semiconductor memory is shown in drawing 30 and drawing 31. The details of the structure of the semiconductor memory of the above-mentioned configuration will be understood still more easily by explanation of the following manufacture method. N channel mold MOSFET and P channel mold MOSFET which are used for store circuit MC-FRAM and its circumference circuit of an unit are set, and it is drawn on this drawing.

[0115] It sets to drawing 30 (A) and is P by the manufacturing technology of a well-known CMOS integrated circuit. - Or N - In the portion by which store circuit MC-FRAM of the above-mentioned unit and N channel mold MOSFET are formed on the mold semiconductor substrate 1, it is P. - In the portion in which a layer 3 is formed in and the P channel mold MOSFET is formed, it is N. - A layer 2 is formed.

[0116] It leaves the portion of the diffusion layer for element formation, and the field insulator layer 4 is formed. The channel stopper 5 of P type is formed in the bottom of this field insulator layer. The thin gate insulator layer 6 is formed in the surface of the element formation field surrounded by the above-mentioned field insulator layer, and the gate electrode 7 which consists of polish recon or a polycide is formed on it. N+ which constitutes the source and the drain of N channel mold MOSFET by making this gate electrode 7 and the field insulator layer 4 into MAKUSU The mold diffusion layer 9 is formed. P+ which constitutes the source and a drain from an another production process with the P channel mold MOSFET The mold diffusion layer 10 is formed. On the above-mentioned gate insulator layer 7, it is CVD-SiO₂. It is formed.

[0117] the gate electrode 7 -- receiving -- CVD-SiO₂ from -- the becoming sidewall 11 forms -- having -- CVD-SiO₂ from -- the becoming interlayer insulation film 104 is formed. And a opening 116 is formed in the portion equivalent to the source or the drain of Transfer MOSFET.

[0118] In drawing 30 (B), the silicide film 12 which consists of Pt etc. by the well-known method is formed through an interlayer insulation film 104 on the field insulator layer 4. For example, after making Pt etc. DIPOJISHON and SHIRIKOIDO-ize on the above-mentioned interlayer insulation film 104, the lower electrode 12 is formed of patterning.

[0119] In drawing 31 , are DIPOJISHON the ferroelectric 13 which consists of PZT etc. by the well-known method, and the up electrode 14 which consists of Pt etc. is formed on it. the above-mentioned upper part -- pattern NINGU of a conductor 14 and the ferroelectric 13 is carried out at coincidence. Thereby, N channel mold MOSFET and the ferroelectric capacitor as TORASUFA MOSFET required for an unit store circuit are formed. Hereafter, interlayer insulation film formation is carried out, the data line is formed by the aluminum etc., and it is made to connect with the drain (or source) of Transfer MOSFET. And if , the metal wiring layer 19 which consists of aluminum for the shunts for forming an interlayer insulation film like said example, and reducing the resistance of a word line etc. is formed.

[0120] The ferroelectric capacitor formed to one transfer MOSFET is replaced with what **** to a laminated structure like before like the above example, and in what is arranged in a longitudinal direction, since it ends with the production process which forms the ferroelectric capacitor of one batch, a manufacturing process can be reduced sharply. [two or more] That is, when it is made **** structure, a manufacture process only with the same number of the capacitors will be repeated, and a manufacture process is complex and wide-ranging.

[0121] If a manufacture process becomes complicated as mentioned above, cost not only becomes high, but will bring variation and deterioration to the property of a ferroelectric capacitor at single order. That is, since heat treatment etc. is carried out at every manufacture process of the capacitor formed on it, the dielectric of a lower capacitor is considered that a property deteriorates in response to the effect.

[0122] In the case of a laminated structure, variation arises in the size of the capacitor which constitutes

an unit store circuit by MAKUSU gap etc., or it is expected by above deterioration and variations of the property of a dielectric that comparatively big variation arises in migration of the charge produced at the time of reversal of polarization in read-out actuation. Thereby, the margin of a sense amplifier of operation gets worse, and there is a possibility that poor read-out may arise.

[0123] On the other hand, in what is arranged in a longitudinal direction like this example, since two or more capacitors are similarly formed at the same production process, the write-in property and read-out property which do not have the variation in that property and were stabilized can be acquired.

[0124] When it has arranged in the longitudinal direction as mentioned above, the occupancy area of the memory array itself becomes large inevitably. The direction of the structure made into **** like said conventional technology is excellent in this point. However, it is meaningless however it may integrate the memory array itself highly. Don't choose a memory cell or don't forget for the address selection circuit for giving write-in voltage and non-choosing voltage to exist. That is, it is because it does not become about semantics in practice unless the circuit which chooses it also becomes **** structure, even if it makes it **** structure and narrows the pitch of the 2nd word line. Since CMOS circuits, such as a decoder, generally cannot be made into ****, unless the decoder of **** structure is developed, even if the above-mentioned **** structure says that it is not fit for substantial high integration, it is not an overstatement.

[0125] In this example, by arranging the 2nd word line which arrange in a longitudinal direction and be connect to the electrode of a ferroelectric capacitor, and communalizing the plate line which be the electrode of another side of a ferroelectric capacitor for every subblock, only the number communalized corresponding to the plate line pitch can make the pitch of a decoder circuit etc. expand, can double this address selection circuit with a memory array, and can be arrange on a semiconductor substrate efficiently as this result.

[0126] The operation effect acquired from the above-mentioned example is as follows.

(1) The 1st switching device by which the control terminal was connected to the 1st address selection line, An electrode is connected common [while] to the end side of this 1st switching device. It has the subblock storage circuit which consists the electrode of another side which is arranged together with a longitudinal direction and becomes so that it may intersect perpendicularly to the electrode of the method of up Norikazu of plurality which comes to form a ferroelectric capacitor in the intersection of two electrodes as 2nd address selection line. The address different, respectively is assigned to the 1st address selection line of each ** block store circuit. The address selection circuit which assigned the address respectively common to the 2nd address selection line of the subblock storage circuit which consists of the above-mentioned plurality, and was communalized is prepared. Voltage which changes into a selection condition one in the 2nd address selection line which consists of plurality when it changes the 1st address selection line into a selection condition and the 1st switching device is made into an ON state, and polarization produces in a ferroelectric capacitor is given. It is made non-choosing potential of the voltage which joins the ferroelectric capacitor with which the voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly. By giving non-choosing potential from which the voltage which joins a ferroelectric capacitor is set to about 0 to the 2nd address selection line which consists of plurality when it changes the 1st address selection line into the condition of not choosing and the 1st switching device is made into an OFF state Attaining high integration of the memory array using a ferroelectric capacitor, since voltage can be prevented from joining the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device, the effect that the stress to a dielectric capacitor can be reduced sharply is acquired.

[0127] When the 1st switching device of a subblock storage circuit which the above-mentioned ferroelectric capacitor was communalized for while, and prepares the 2nd switching device and corresponds to an electrode side is an ON state, (2) To an OFF state By making it an ON state and giving the same potential as the potential of the 2nd selection line at the time of un-choosing, when the 1st corresponding switching device of a subblock storage circuit is an OFF state The effect that the stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing

switching device can be reduced efficiently is acquired.

[0128] (3) Give precharge voltage of voltage which polarization produces in a ferroelectric capacitor through the 1st switching device which becomes half mostly to that un-choosing is supposed among the subblock storage circuits which consist of the above-mentioned plurality. The 1st switching device of the subblock storage circuit chosen after this precharge actuation is made into an ON state. Voltage from which polarization produces one in the 2nd address selection line which consists of plurality in the ferroelectric capacitor which were chosen by changing into a selection condition is given. By making it non-choosing potential of the voltage which joins the ferroelectric capacitor with which the voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly The effect that the stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device can be reduced sharply is acquired attaining communalization of the 2nd address selection line of a subblock by the easy configuration.

[0129] (4) Make the memory cell array section with the memory cell which consists of one switching device and one ferroelectric capacitor put side by side. When the electrode of the method of up Norikazu is omitted in this memory cell array section, the electrode of another side of the dummy corresponding to the 2nd selection line is prepared and the layout pattern of the 2nd selection line considers as the same configuration as it of the above-mentioned subblock storage circuit Having storage block of a configuration of differing, fluctuation of the pattern size by the roughness and fineness of the electrode of another side of a capacitor can be prevented, and the effect that a margin of operation is securable is acquired.

[0130] (5) By being made to perform memory access in the unit of storage block, the effect that the count of the applied voltage which tires a non-choosing ferroelectric capacitor compared with the case where each dielectric capacitor is accessed at random can be reduced sharply is acquired.

[0131] (6) Initialization which polarization produces in one side to the ferroelectric capacitor of the above-mentioned storage block is made, and only by the writing of data corresponding to data which reverses polarization on the basis of it, the effect that shortening and low-power-izing of write-in operation time amount can be attained is acquired by being made to perform actual write-in actuation.

[0132] Although invention made from this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which the invention in this application is not limited to said example, and does not deviate from the summary. For example, about the ferroelectric material which constitutes a ferroelectric capacitor, it may be well-known by said official report etc., and the material may be anything.

[0133] For example, since the magnitude of the net of the remanence of a ferroelectric crystal is decided by total of the projection to the impression electric field vector of a crystallographic axis, a net remanence becomes small when the direction of a crystallographic axis is scattering. Then, in order to enlarge a remanence, it is formed so that it may increase as the ferroelectric crystal with which the portion whose angle which the direction of a crystallographic axis and applied voltage make is 5 degrees or less constitutes a ferroelectric capacitor becomes, for example, so that it may become 80% or more.

As a ferroelectric crystal, there are BaTiO scissors, PZT, etc., for example.

[0134] The circumference circuit of a memory array can take various example gestalten, such as a thing constituted with N channel mold MOSFET besides what is constituted by the CMOS circuit, or the P channel mold MOSFET, or a thing which combined MOSFET and the bipolar mold transistor.

[0135] The input method of the address may input the address assigned to the memory cell like general RAM besides a thing and ROM which input an address signal per block as mentioned above. In this case, in order to reduce the number of external terminals, X system and Y system may be multiplexed and inputted from a common address terminal like the dynamic mold RAM.

[0136]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly. Namely, the 1st switching device by which the control terminal was connected to the 1st address selection line, An electrode is connected common [while] to the end side of this 1st switching device. It has the subblock storage circuit which consists the electrode

of another side which is arranged together with a longitudinal direction and becomes so that it may intersect perpendicularly to the electrode of the method of up Norikazu of plurality which comes to form a ferroelectric capacitor in the intersection of two electrodes as 2nd address selection line. The address different, respectively is assigned to the 1st address selection line of each ** block store circuit. The address selection circuit which assigned the address respectively common to the 2nd address selection line of the subblock storage circuit which consists of the above-mentioned plurality, and was communalized is prepared. Voltage which changes into a selection condition one in the 2nd address selection line which consists of plurality when it changes the 1st address selection line into a selection condition and the 1st switching device is made into an ON state, and polarization produces in a ferroelectric capacitor is given. It is made non-choosing potential of the voltage which joins the ferroelectric capacitor with which the voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly. By giving non-choosing potential from which the voltage which joins a ferroelectric capacitor is set to about 0 to the 2nd address selection line which consists of plurality when it changes the 1st address selection line into the condition of not choosing and the 1st switching device is made into an OFF state Attaining high integration of the memory array using a ferroelectric capacitor, since voltage can be prevented from joining the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device, the stress to a dielectric capacitor can be reduced sharply.

[0137] When the 1st switching device of a subblock storage circuit which the above-mentioned ferroelectric capacitor was communalized for while, and prepares the 2nd switching device and corresponds to an electrode side is an ON state, to an OFF state By making it an ON state and giving the same potential as the potential of the 2nd selection line at the time of un-choosing, when the 1st corresponding switching device of a subblock storage circuit is an OFF state The stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device can be reduced efficiently.

[0138] Precharge voltage of voltage which polarization produces in a ferroelectric capacitor through the 1st switching device which becomes half mostly is given to that un-choosing is supposed among the subblock storage circuits which consist of the above-mentioned plurality. The 1st switching device of the subblock storage circuit chosen after this precharge actuation is made into an ON state. Voltage from which polarization produces one in the 2nd address selection line which consists of plurality in the ferroelectric capacitor which were chosen by changing into a selection condition is given. By making it non-choosing potential of the voltage which joins the ferroelectric capacitor with which the voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly The stress to the ferroelectric capacitor of the subblock storage circuit corresponding to a non-choosing switching device can be reduced sharply, attaining communalization of the 2nd address selection line of a subblock by the easy configuration.

[0139] The memory cell array section with the memory cell which consists of one switching device and one ferroelectric capacitor is made to put side by side. When the electrode of the method of up Norikazu is omitted in this memory cell array section, the electrode of another side of the dummy corresponding to the 2nd selection line is prepared and the layout pattern of the 2nd selection line considers as the same configuration as it of the above-mentioned subblock storage circuit Having storage block of a configuration of differing, fluctuation of the pattern size by the roughness and fineness of the electrode of another side of a capacitor can be prevented, and a margin of operation can be secured.

[0140] By being made to perform memory access in the unit of storage block, the count of the applied voltage which tires a non-choosing ferroelectric capacitor compared with the case where each dielectric capacitor is accessed at random can be reduced sharply.

[0141] Initialization which polarization produces in one side to the ferroelectric capacitor of the above-mentioned storage block is made, and only by the writing of data corresponding to data which reverses polarization on the basis of it, shortening and low-power-izing of write-in operation time amount can be attained by being made to perform actual write-in actuation.

[Translation done.]

* NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation..

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is layout pattern drawing showing one example of memory block in the semiconductor memory concerning this invention.

[Drawing 2] one example of the semiconductor memory concerning this invention is shown -- it is a block diagram a part.

[Drawing 3] the remaining parts which show one example of the semiconductor memory concerning this invention -- it is a block diagram.

[Drawing 4] It is a circuit diagram for explaining one example of above-mentioned drawing 2 , the writing of the semiconductor memory of drawing 3 , and the method of reading.

[Drawing 5] it is an outline wave form chart for carrying out reading appearance to write-in actuation of the semiconductor memory shown in above-mentioned drawing 2 and drawing 3 , and explaining actuation.

[Drawing 6] it is an outline wave form chart for carrying out reading appearance to write-in actuation with the selection secondary block within the selection block of the semiconductor memory shown in above-mentioned drawing 2 and drawing 3 , and explaining actuation.

[Drawing 7] It is an outline wave form chart accompanying the write-in actuation with a non-choosing secondary block and read-out actuation within the selection block of the semiconductor memory shown in above-mentioned drawing 2 and drawing 3 .

[Drawing 8] it is a circuit diagram for explaining other one example of the method of carrying out reading appearance to the writing of the semiconductor memory concerning this invention.

[Drawing 9] other one example of the semiconductor memory concerning this invention is shown -- it is a block diagram a part.

[Drawing 10] the remaining parts which show other one example of the semiconductor memory concerning this invention -- it is a block diagram.

[Drawing 11] It is a circuit diagram for explaining one example of above-mentioned drawing 9 , the writing of the semiconductor memory of drawing 10 , and the method of reading.

[Drawing 12] it is an outline wave form chart for carrying out reading appearance to write-in actuation of the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 , and explaining actuation.

[Drawing 13] it is an outline wave form chart for carrying out reading appearance to write-in actuation with the selection secondary block within the selection block of the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 , and explaining actuation.

[Drawing 14] It is an outline wave form chart accompanying the write-in actuation with a non-choosing secondary block and read-out actuation within the selection block of the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 .

[Drawing 15] It is a circuit diagram for explaining other one example of the writing of the semiconductor memory shown in above-mentioned drawing 9 and drawing 10 , and the method of reading.

[Drawing 16] It is the circuit diagram showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 17] It is the circuit diagram showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 18] It is the circuit diagram showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 19] It is the circuit diagram showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 20] It is the block diagram of the semiconductor memory concerning this invention.

[Drawing 21] It is the circuit diagram showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 22] It is the circuit diagram in which writing with Y system selection circuitry of the semiconductor memory concerning this invention, and showing one example of a readout circuitry.

[Drawing 23] It is the whole circuit diagram showing other one example of the semiconductor memory concerning this invention.

[Drawing 24] It is the circuit diagram showing other one example of the memory array section of a semiconductor memory, and an I/O system circuit concerning this invention.

[Drawing 25] It is the circuit diagram showing other one example of the memory array section of a semiconductor memory, and an I/O system circuit concerning this invention.

[Drawing 26] It is the block diagram showing one example of the microcomputer with which the semiconductor memory concerning this invention is used.

[Drawing 27] It is the layout pattern showing other one example of the memory array section of the semiconductor memory concerning this invention.

[Drawing 28] It is the A-A' cross section of drawing 27.

[Drawing 29] It is the B-B' cross section of drawing 27.

[Drawing 30] a part of explaining one example of the manufacture method of the semiconductor memory of above-mentioned drawing 27 sake -- it is a manufacturing process cross section.

[Drawing 31] a part of remaining explaining one example of the manufacture method of the semiconductor memory of above-mentioned drawing 27 sakes -- it is a manufacturing process cross section.

[Drawing 32] It is the circuit diagram showing an example of the conventional technology.

[Description of Notations]

A XAB--X address buffer, a XAL--X address latch circuit, a XDEC--X decoder circuit, A YAB--Y address buffer, a YAL--Y address latch circuit, a YDEC--Y decoder circuit, CONT -- A control circuit, SA -- A sense amplifier, WRITE -- Light amplifier, DIL -- A data in latch circuit, DOL -- Data out latch circuit, A DIB data input buffer, DOB -- A data output buffer, DIO-0-DIO-7 -- Data terminal, Q1-Q16 -- A ferroelectric capacitor, T11-T14, T1-T9 -- MOSFET, D1 - the D8 -- main data line, d1-d8, and d1 -- d8' and d1"--d8 -- d1"--d8" -- The data line within a block (subdata line), CPU -- Microprocessor, TIM -- A timer circuit, SCI -- Serial handicap NYUKESEN interface circuitry, A/D -- An analog / digital conversion circuit, FRAM -- Semiconductor memory (ferroelectric random-access memory), I/O -- An I/O circuit, C-MEM -- Cache memory, 1 -- Semiconductor substrate, 2 -- N - A mold well field, 3 -- P - A mold well field, 4 -- Field insulator layer, 5 [-- CVD-SiO₂ / Film,] -- A channel stopper, 6 -- A gate insulator layer, 7 -- A gate electrode, 8 9 -- N+ A diffusion layer (the source, drain), 10 -- P+ Diffusion layer (the source, drain), 11 -- A sidewall, 12 -- Lower electrode (silicide layers, such as Pt), 13 [-- An aluminum layer (data line), 18 / -- An interlayer insulation film, 19 / -- An aluminum layer (word line shunt), 104 / -- CVD-SiO₂ / A film, 116 openings.] -- A ferroelectric, 14 -- An up electrode, 15 -- an interlayer insulation film, 16 -- Contact, 17

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st switching device by which a control terminal was connected to the 1st address selection line, An electrode of another side which is superficially located in a line on a semiconductor substrate, is arranged, and becomes so that an electrode may be connected common [while] to an end side of this 1st switching device and it may intersect perpendicularly to an electrode of a method of up Norikazu as 2nd address selection line While assigning the address different, respectively to the 1st address selection line in a subblock storage circuit which is equipped with a subblock storage circuit which consists of plurality which comes to form a ferroelectric capacitor in an intersection of the above-mentioned two electrodes, and consists of the above-mentioned plurality The address respectively common to the 2nd address selection line of a subblock storage circuit which consists of the above-mentioned plurality is assigned. An address selection circuit communalized to the 2nd address selection line by which the corresponding address was assigned is prepared. Voltage which changes into a selection condition one in the 2nd address selection line which consists of plurality when it changes the 1st address selection line into a selection condition and the 1st switching device is made into an ON state, and polarization produces in a ferroelectric capacitor is given. It is made non-choosing potential of voltage which joins a ferroelectric capacitor with which voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which becomes half mostly. A semiconductor memory characterized by giving non-choosing potential from which voltage which joins a ferroelectric capacitor is set to about 0 to the 2nd address selection line which consists of plurality when it changes the 1st address selection line into a condition of not choosing and the 1st switching device is made into an OFF state.

[Claim 2] A semiconductor memory of claim 1 characterized by being made an ON state and giving the same potential as potential of the 2nd selection line at the time of un-choosing when the 1st switching device of a subblock storage circuit where the above-mentioned ferroelectric capacitor was communalized for while, and the 2nd switching device prepares and corresponds to an electrode side is an ON state and the 1st switching device of a subblock storage circuit corresponding to an OFF state is an OFF state.

[Claim 3] Precharge voltage of voltage which polarization produces in a ferroelectric capacitor through the 1st switching device which becomes half mostly is given to that un-choosing is supposed among subblock storage circuits which consist of the above-mentioned plurality. The 1st switching device of a subblock storage circuit chosen after this precharge actuation is made into an ON state. Voltage from which polarization produces one in the 2nd address selection line which consists of plurality in a ferroelectric capacitor which were chosen by changing into a selection condition is given. A semiconductor memory of claim 1 characterized by thing of voltage which joins a ferroelectric capacitor with which voltage which joins a ferroelectric capacitor was chosen as the 2nd remaining address selection lines which it comes to make half non-choosing potential mostly.

[Claim 4] It is the semiconductor memory of claim 1 which, as for the above-mentioned subblock storage circuit, matrix arrangement of two or more subblock storage circuits is carried out, and, as for

the 1st address selection line and the 2nd address selection line, the address of X system is assigned, and is characterized by the 1st switching device of the above being what is connected to one in two or more signal lines with which this subblock storage circuit is assigned to the address of Y system, claim 2, or claim 3.

[Claim 5] A semiconductor memory of claim 4 which a switching device of a pair is prepared in the above-mentioned two or more kana *****, respectively, and it connects with one selected signal line through one switching device at a common signal line, and selection voltage is impressed, and is characterized by being the thing of selection voltage to which half voltage is given mostly through a switching device of another side at a signal line of remaining not choosing.

[Claim 6] A semiconductor memory of claim 5 characterized by being the thing which was formed in a control terminal of a switching device of a up Norikazu pair of a decoder circuit of Y system, and to which a signal is supplied complementary.

[Claim 7] The above-mentioned subblock storage circuit is the semiconductor memory of claim 1 characterized by being that to which plurality which makes respectively common the 1st and 2nd address selection lines, respectively comes to constitute one storage block, and memory access is performed in an unit of this storage block, claim 2, claim 3, claim 4, claim 5, and claim 6.

[Claim 8] It is the semiconductor memory of claim 7 characterized by being that to which initialization whose polarization produces the above-mentioned storage block in one side to a ferroelectric capacitor formed in it is made, and actual write-in actuation is performed only by writing of data corresponding to data which reverses polarization on the basis of it.

[Claim 9] A semiconductor memory of claim 1 characterized by being what the memory cell array section with a memory cell which consists of one switching device and one ferroelectric capacitor makes annex, and prepared, claim 2, or claim 3.

[Claim 10] A semiconductor memory of claim 9 characterized by being that by which an electrode of a method of up Norikazu is omitted by the memory cell section which consists of the one above-mentioned switching device and one ferroelectric capacitor, an electrode of another side of a dummy corresponding to the 2nd selection line is prepared in it, and a layout pattern of the 2nd selection line is considered as the same configuration as it of the above-mentioned subblock storage circuit.

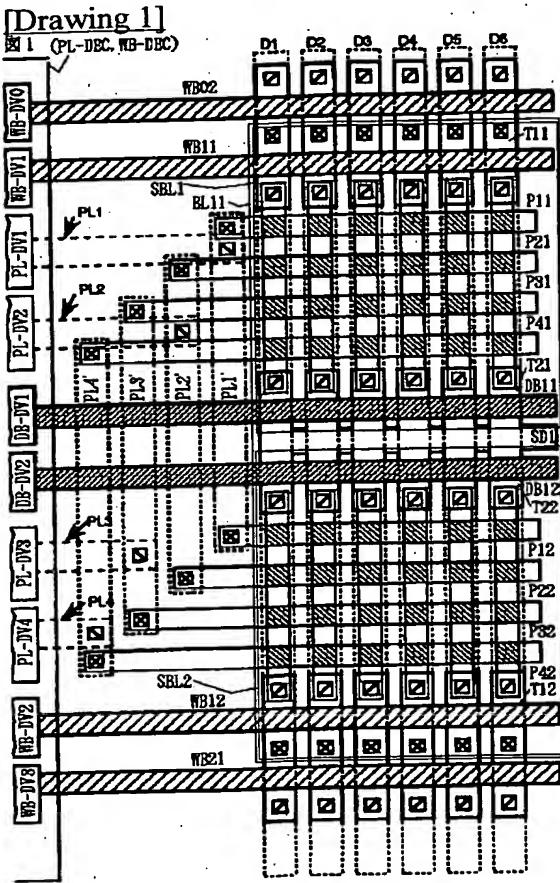
[Claim 11] A semiconductor memory containing memory block which has the 1st and 2nd subblock storage circuits characterized by providing the following Each of said 1st and 2nd subblock storage circuits is the 1st address selection line. The data line A switching device which has a control terminal combined with the 1st terminal, the 2nd terminal combined with said data line, and said 1st address selection line The 1st electrode and the 2nd electrode combined with said data line

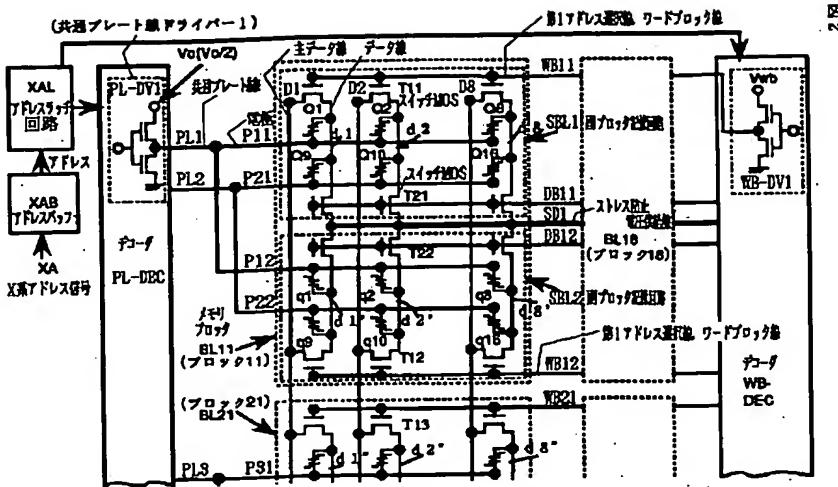
[Translation done.]

*** NOTICES ***

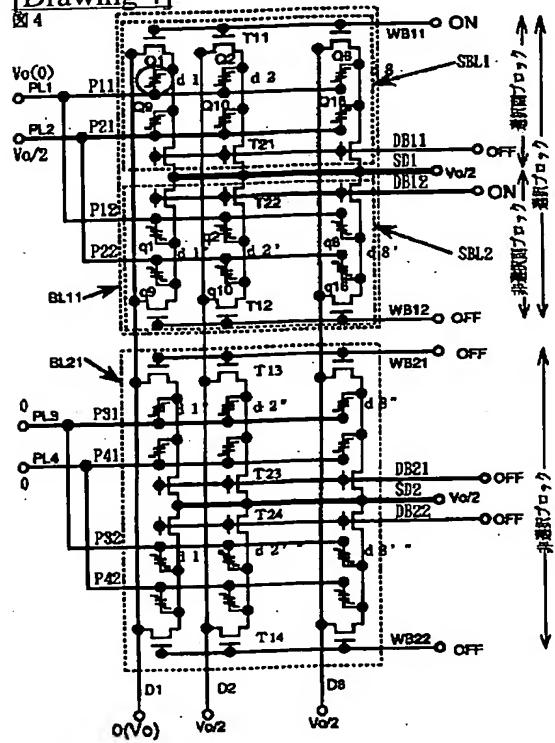
Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

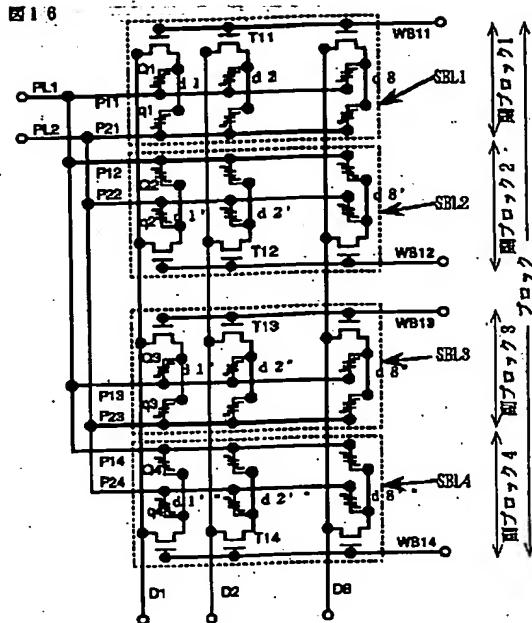
DRAWINGS**[Drawing 2]**



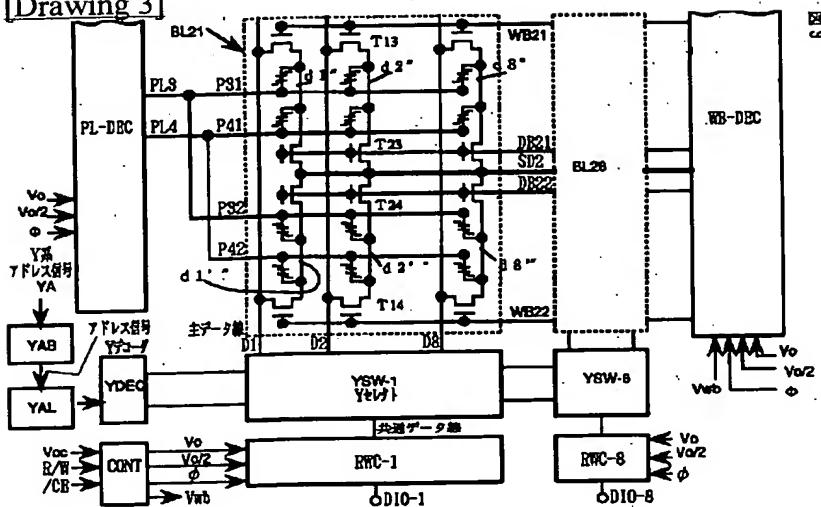
[Drawing 4]



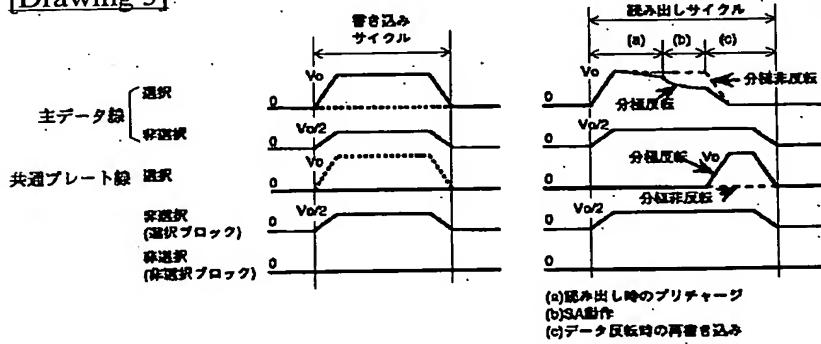
[Drawing 16]



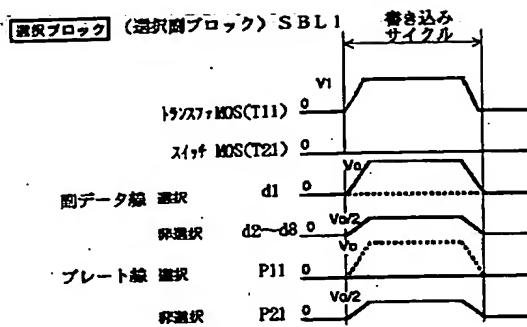
[Drawing 3]

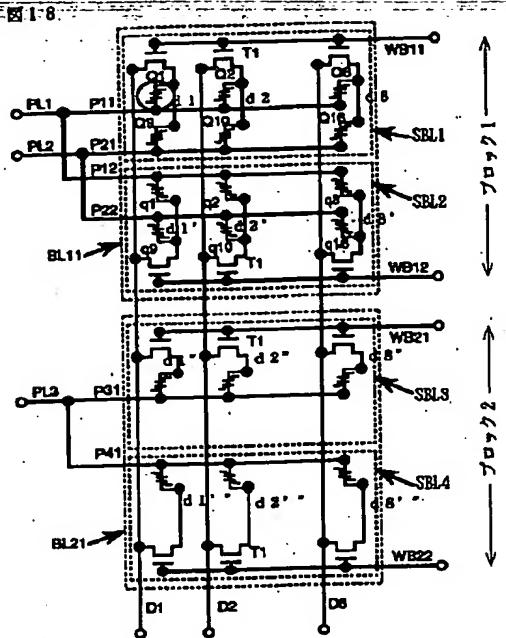


[Drawing 5]

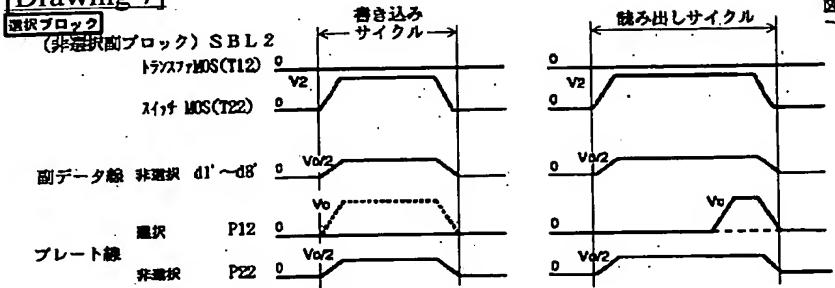


[Drawing 6]

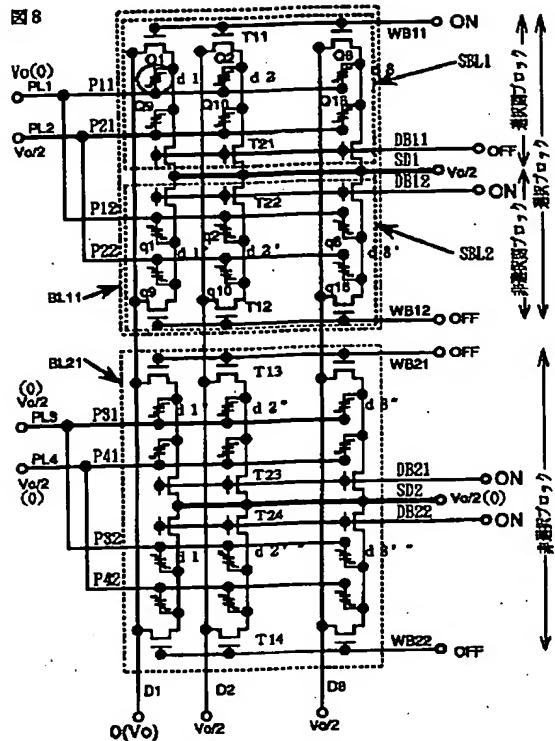




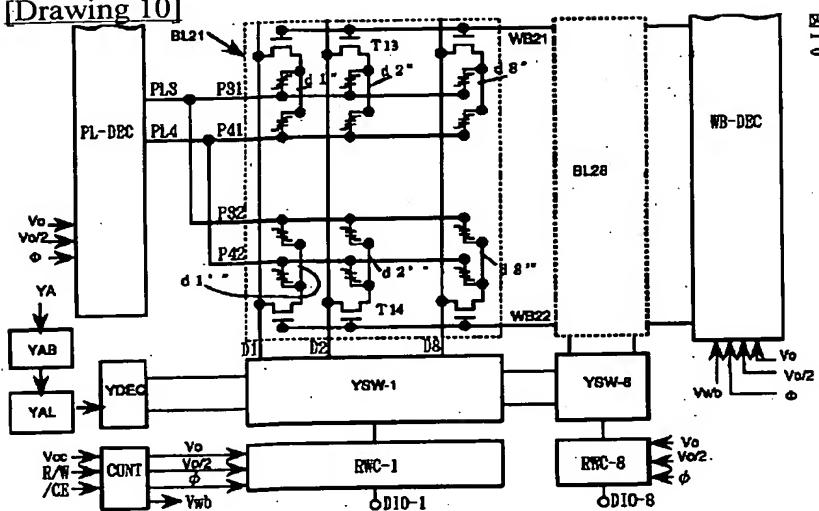
Drawing 71



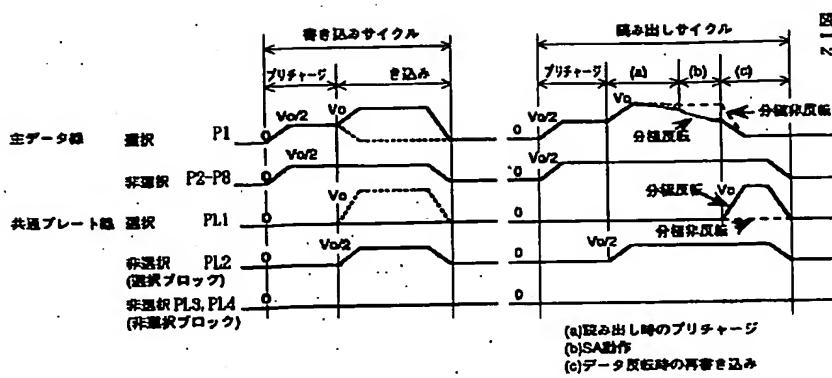
[Drawing 8]



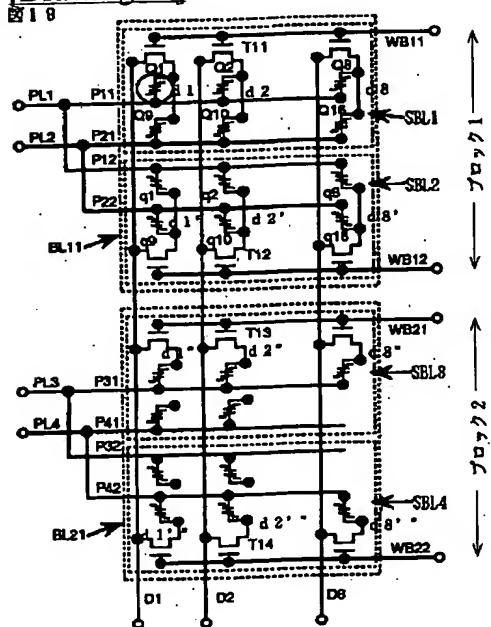
[Drawing 10]



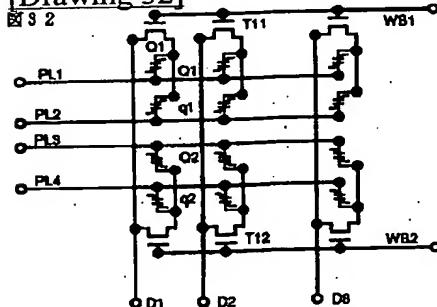
[Drawing 12]



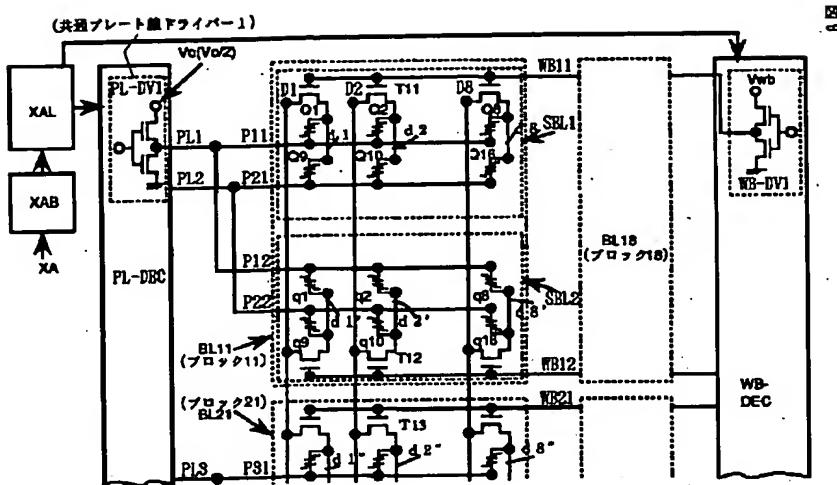
[Drawing 19]



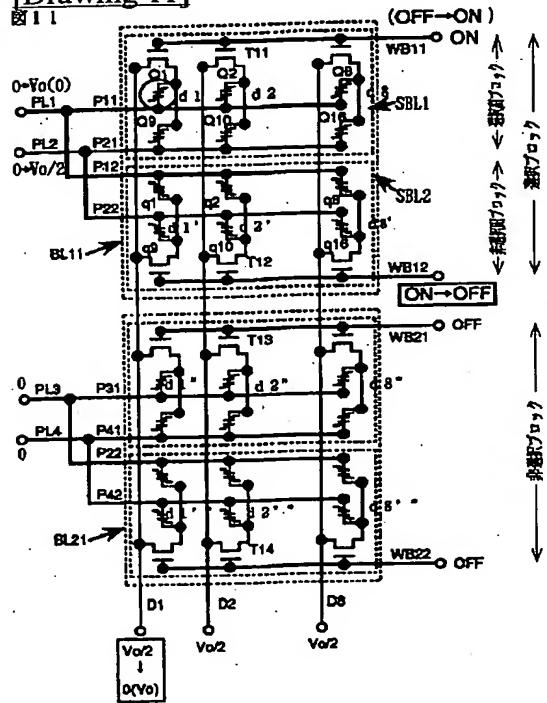
[Drawing 32]



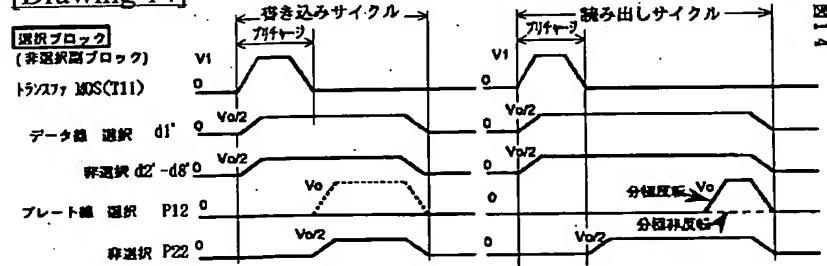
[Drawing 9]



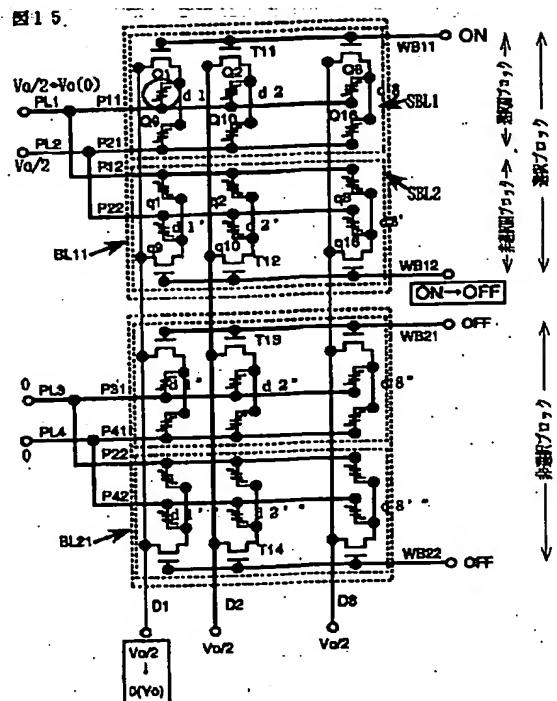
[Drawing 11]



[Drawing 14]

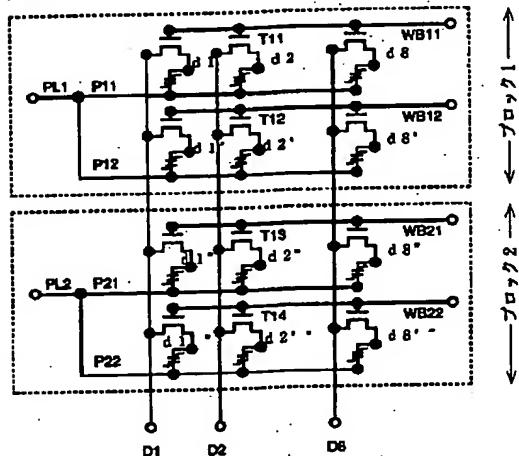


[Drawing 15]

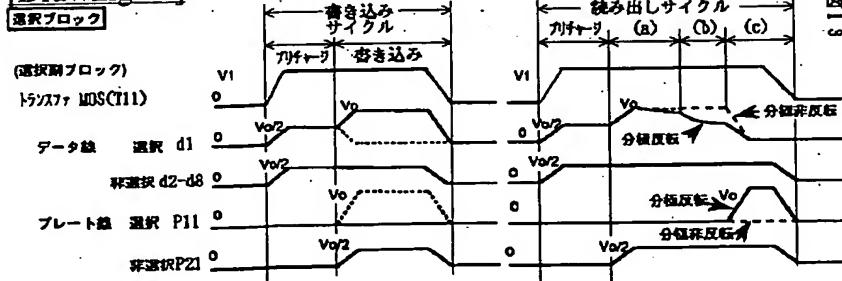


[Drawing 21]

図21

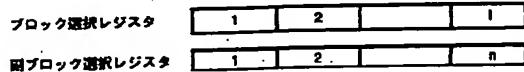
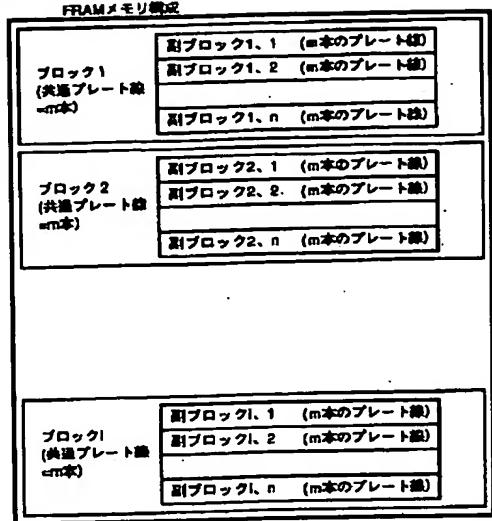


[Drawing 13]

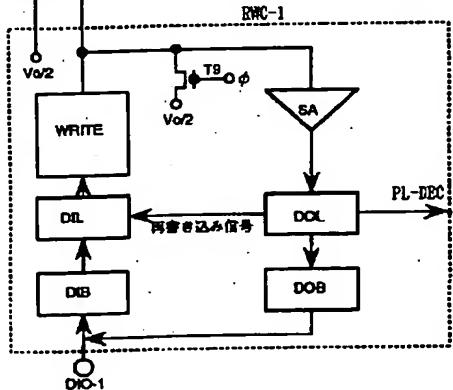
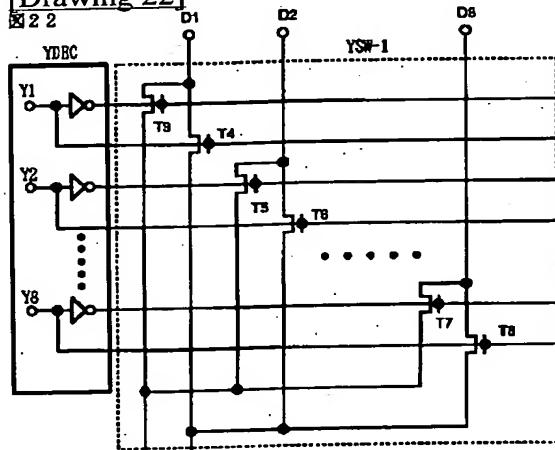


[Drawing 20]

図2-0

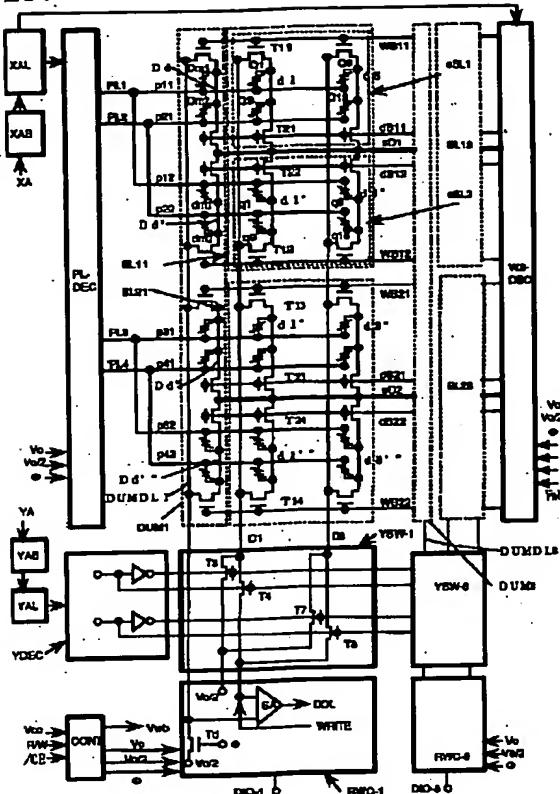


[Drawing 22]



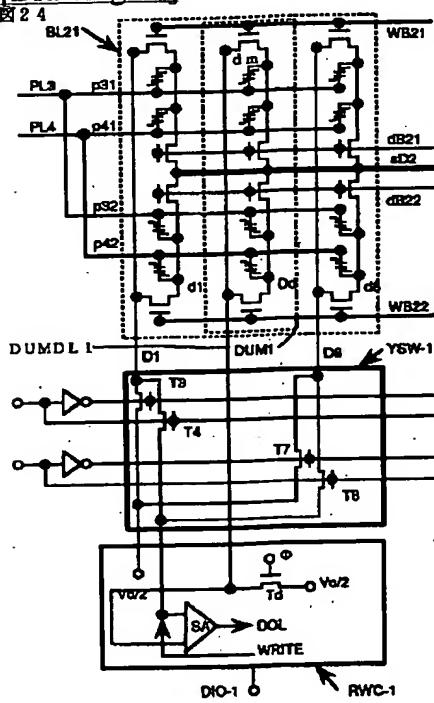
[Drawing 23]

[23]

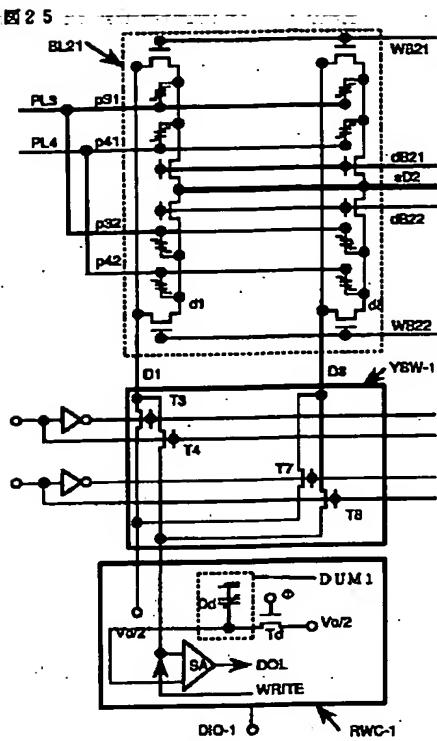


[Drawing 24]

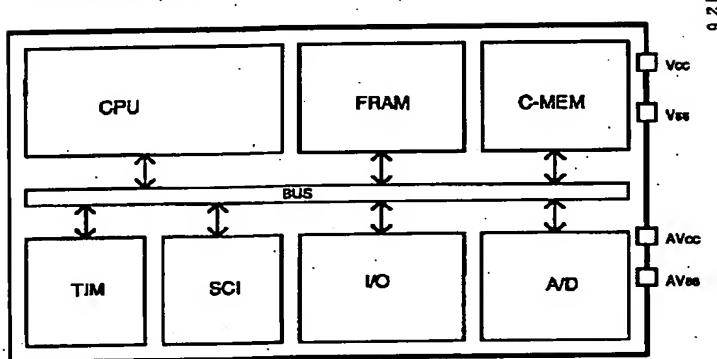
[24]



[Drawing 25]

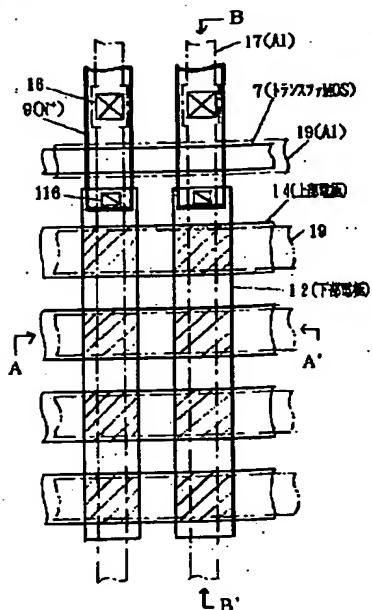


[Drawing 26]



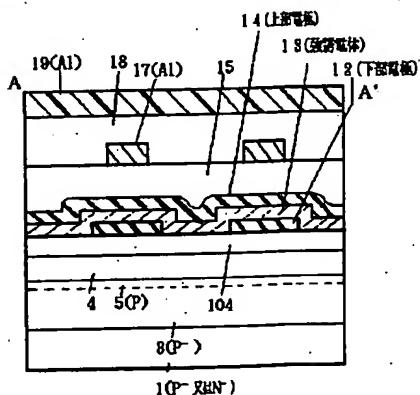
[Drawing 27]

圖27



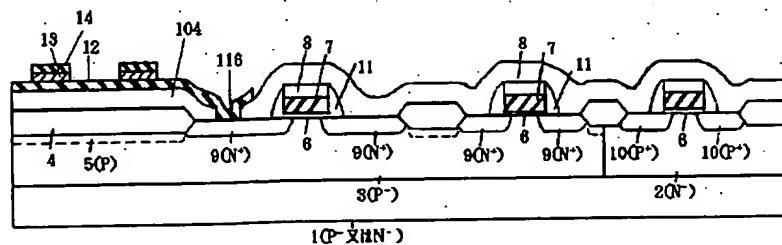
Drawing 281

128

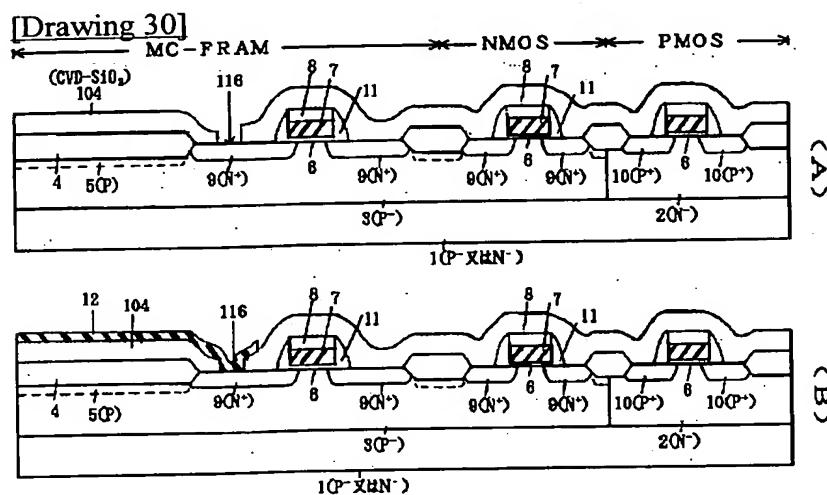
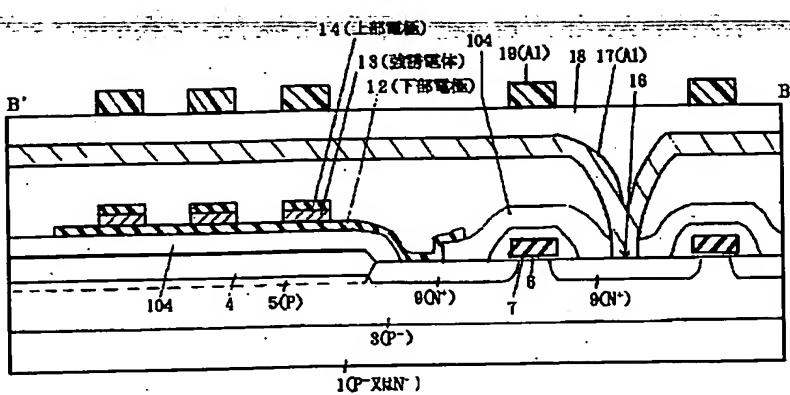


[Drawing 31]

The diagram illustrates a 3D stackable memory structure. It consists of three distinct layers: MC-FRAM at the bottom, NMOS in the middle, and PMOS at the top. The layers are separated by thin lines, and the entire assembly is enclosed in a rectangular frame with arrows pointing to the left and right, indicating its three-dimensional nature.



[Drawing 29]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-235648

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl.⁶

H 01 L 27/10

G 11 C 14/00

H 01 L 21/8247

識別記号

4 5 1

府内整理番号

7210-4M

F I

技術表示箇所

G 11 C 11/ 34

3 5 2 A

H 01 L 29/ 78

3 7 1

審査請求 未請求 請求項の数11 FD (全25頁) 最終頁に統く

(21)出願番号

特願平6-51273

(22)出願日

平成6年(1994)2月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 黒田 謙一

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

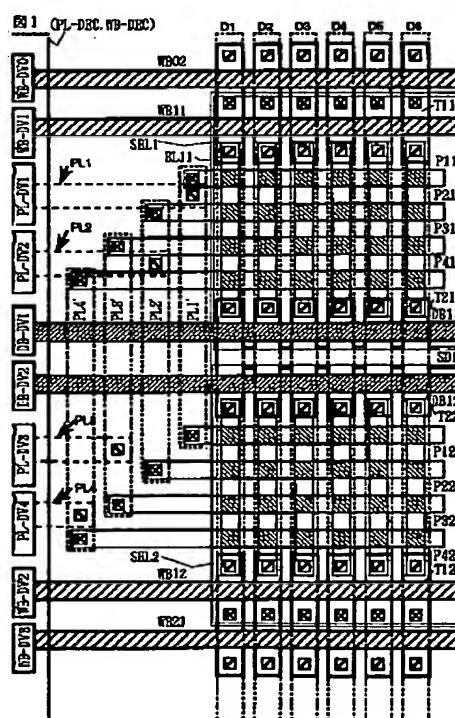
(74)代理人 弁理士 篠若 光政

(54)【発明の名称】 半導体記憶装置

(57)【要約】 (修正有)

【目的】 実質的な高集積化を図りつつ、非選択の強誘電体キャパシタに対するストレスを軽減させた半導体記憶装置を提供する。

【構成】 複数からなる副ブロック記憶回路の第2のアドレス選択線PL1等にはそれぞれ共通のアドレスを割り当てて共通化されたアドレス選択回路を設け、第1のアドレス選択線WB1等が選択状態にされて第1のスイッチ素子がオン状態にされたときには複数からなる第2のアドレス選択線の中の1つを選択状態にして強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にし、第1のアドレス選択線が非選択状態にされて第1のスイッチ素子がオフ状態にされたときには複数からなる第2のアドレス選択線には強誘電体キャパシタに加わる電圧がほぼ零になるような非選択電位を与える。



(2)

2

【特許請求の範囲】

【請求項 1】 第1のアドレス選択線に制御端子が接続された第1のスイッチ素子、かかる第1のスイッチ素子の一端側に共通に一方の電極が接続され、上記一方の電極に対して直交するように半導体基板上に平面的に並んで配列されてなる他方の電極を第2のアドレス選択線として、上記両電極の交点に強誘電体キャパシタが形成されてなる複数からなる副ブロック記憶回路を備え、上記複数からなる副ブロック記憶回路における第1のアドレス選択線にはそれぞれ異なるアドレスを割り当てるとともに、上記複数からなる副ブロック記憶回路の第2のアドレス選択線にはそれぞれ共通のアドレスを割り当てて、対応するアドレスが割り当てられた第2のアドレス選択線に対して共通化されたアドレス選択回路を設け、第1のアドレス選択線が選択状態にされて第1のスイッチ素子がオン状態にされたときには複数からなる第2のアドレス選択線の中の1つを選択状態にして強誘電体キャパシタに分極が生じるような電圧を与えること、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にし、第1のアドレス選択線が非選択状態にされて第1のスイッチ素子がオフ状態にされたときには複数からなる第2のアドレス選択線には強誘電体キャパシタに加わる電圧がほぼ零になるような非選択電位を与えることを特徴とする半導体記憶装置。

【請求項 2】 上記強誘電体キャパシタの共通化された一方の電極側には、第2のスイッチ素子が設けられ、対応する副ブロック記憶回路の第1のスイッチ素子がオン状態のときにはオフ状態に、対応する副ブロック記憶回路の第1のスイッチ素子がオフ状態のときにはオン状態にされて非選択時の第2の選択線の電位と同じ電位を与えることを特徴とする請求項1の半導体記憶装置。

【請求項 3】 上記複数からなる副ブロック記憶回路のうち、非選択とされるものには第1のスイッチ素子を介して強誘電体キャパシタに分極が生じるような電圧のほぼ半分になるようなプリチャージ電圧が与えられ、かかるプリチャージ動作の後に選択された副ブロック記憶回路の第1のスイッチ素子をオン状態にし、複数からなる第2のアドレス選択線の中の1つを選択状態にして選択された強誘電体キャパシタに分極が生じるような電圧を与えること、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分の非選択電位にしてなることを特徴とする請求項1の半導体記憶装置。

【請求項 4】 上記副ブロック記憶回路は、複数の副ブロック記憶回路がマトリックス配置されるものであり、第1のアドレス選択線及び第2のアドレス選択線はX系のアドレスが割り当てられ、上記第1のスイッチ素子はかかる副ブロック記憶回路をY系のアドレスが割り当てられる複数の信号線の中の1つと接続されるものである

ことを特徴とする請求項1、請求項2又は請求項3の半導体記憶装置。

【請求項 5】 上記複数からなる信号線には、一対のスイッチ素子がそれぞれ設けられ、選択された1つの信号線には一方のスイッチ素子を介して共通の信号線に接続されて選択電圧が印加され、残りの非選択の信号線には他方のスイッチ素子を介して選択電圧のほぼ半分の電圧が与えられるものであることを特徴とする請求項4の半導体記憶装置。

【請求項 6】 上記一対のスイッチ素子の制御端子にはY系のデコーダ回路により形成された相補的に信号が供給されるものであることを特徴とする請求項5の半導体記憶装置。

【請求項 7】 上記副ブロック記憶回路は、それぞれ第1及び第2のアドレス選択線をそれぞれ共通とする複数個により1つの記憶ブロックが構成されており、この記憶ブロックの単位でメモリアクセスが行われるものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6の半導体記憶装置。

【請求項 8】 上記記憶ブロックは、それに設けられる強誘電体キャパシタに対して一方に分極が生じるような初期化がなされ、それを基準にしてデータの書き込みは分極を反転させるようなデータに対応してのみ実際の書き込み動作が行われるものであることを特徴とする請求項7の半導体記憶装置。

【請求項 9】 1つのスイッチ素子と1つの強誘電体キャパシタからなるメモリセルを持つメモリセルアレイ部が併設させて設けられるものであることを特徴とする請求項1、請求項2又は請求項3の半導体記憶装置。

【請求項 10】 上記1つのスイッチ素子と1つの強誘電体キャパシタからなるメモリセル部には、上記一方の電極が省略され、第2の選択線に対応したダミーの他方の電極が設けられて、第2の選択線のレイアウトパターンが上記副ブロック記憶回路のそれと同様な構成とされるものであることを特徴とする請求項9の半導体記憶装置。

【請求項 11】 第1及び第2の副ブロック記憶回路を有するメモリブロックを含む半導体記憶装置であって、前記第1及び第2の副ブロック記憶回路の各々は、第1アドレス選択線と、データ線と、第1端子と前記データ線に結合された第2端子と前記第1アドレス選択線に結合された制御端子とを有するスイッチ素子と、第1電極と前記データ線に結合された第2電極とを有する第1記憶素子と、第3電極と前記データ線に結合された第4電極とを有する第2記憶素子とを含み、前記第1及び第2の副ブロック記憶回路の前記スイッチ素子の第1端子は共に主データ線に結合され、前記第1及び第2の副ブロック記憶回路の前記第1記憶素子の前記第1電極は共に第2アドレス選択線に結合され、前記第1及び第2の副ブロック記憶回路の前記第2記憶素子の前記第3電極は

(3)

3

共に第3アドレス選択線に結合され、前記半導体記憶装置は、前記第1副ブロック記憶回路の前記第1記憶素子を選択する際、前記第1副ブロック記憶回路の前記第1記憶素子の第1及び第2電極間に前記第1記憶素子が分極可能とされる第1電圧を印加する事を制御し、且つ、前記第1副ブロック記憶回路の前記第2記憶素子の前記第3及び第4電極間に前記第2副ブロック記憶回路の前記第1記憶素子の前記第1及び第2電極間に前記第2副ブロック記憶回路の前記第2記憶素子の前記第3及び第4電極間に、前記第1副ブロック記憶回路の前記第2記憶素子と前記第2副ブロック記憶回路の前記第1及び第2記憶素子とが共に分極不可能とされる第2電圧を印加することを制御するための手段とを更に含むことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置に関し、特に強誘電体キャパシタを用いたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】高集積化等のために、図32に示すように1つのスイッチ素子に対して複数個の強誘電体キャパシタ（コンデンサ）を設けた半導体装置がある。このような半導体装置に関して、特開平4-90189号公報がある。

【0003】

【発明が解決しようとする課題】本願発明者にあっては、上記のように1つのスイッチ素子に対して複数個の強誘電体キャパシタを設けた場合に必然的に生じる非選択の強誘電体キャパシタに対するストレス、実際上の書き込み／読み出し動作に伴う回路構成やレイアウト等において解決しなければならない種々の諸問題のあることを見い出した。

【0004】この発明の目的は、実質的な高集積化を図りつつ、非選択の強誘電体キャパシタに対するストレスを軽減させた半導体記憶装置を提供することにある。この発明の他の目的は、高集積化を図りつつ、動作の安定化を実現した半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1のアドレス選択線に制御端子が接続された第1のスイッチ素子、かかる第1のスイッチ素子の一端側に共通に一方の電極が接続され、上記一方の電極に対して直交するように平面的に並んで配列されてなる他方の電極を第2のアドレス選択線として両電極の交点に強誘電体キャパシタが形成されてなる

(3)

4

複数からなる副ブロック記憶回路を備え、各副ブロック記憶回路の第1のアドレス選択線にはそれぞれ異なるアドレスを割り当て、上記複数からなる副ブロック記憶回路の第2のアドレス選択線にはそれぞれ共通のアドレスを割り当てて共通化されたアドレス選択回路を設け、第1のアドレス選択線が選択状態にされて第1のスイッチ素子がオン状態にされたときには複数からなる第2のアドレス選択線の中の1つを選択状態にして強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にし、第1のアドレス選択線が非選択状態にされて第1のスイッチ素子がオフ状態にされたときには複数からなる第2のアドレス選択線には強誘電体キャパシタに加わる電圧がほぼ零になるような非選択電位を与える。

【0006】

【作用】上記した手段によれば、高密度に配置される強誘電体キャパシタの他方の電極を構成する第2のアドレス選択線に対して、複数本に対して1つの選択回路を設けるようにできるから強誘電体キャパシタを可能な限り高密度化して高集積化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタには電圧が加わらないからこれら誘電体キャパシタに対するストレスを大幅に低減できる。

【0007】

【課題を解決するための手段】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、上記強誘電体キャパシタの共通化された一方の電極側には、第2のスイッチ素子が設けられ、対応する副ブロック記憶回路の第1のスイッチ素子がオン状態のときにはオフ状態に、対応する副ブロック記憶回路の第1のスイッチ素子がオフ状態のときにはオン状態にされて非選択時の第2の選択線の電位と同じ電位を与える。

【0008】

【作用】上記した手段によれば、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを効率よく低減できる。

【0009】

【課題を解決するための手段】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、上記複数からなる副ブロック記憶回路のうち、非選択とされるものには第1のスイッチ素子を介して強誘電体キャパシタに分極が生じるような電圧のほぼ半分になるようなプリチャージ電圧を与え、かかるプリチャージ動作の後に選択された副ブロック記憶回路の第1のスイッチ素子をオン状態にし、複数からなる第2のアドレス選択線の中の1つを選択状態にして選択された強誘電体キャパシタに分極が生

(4)

5

じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にする。

【0010】

【作用】上記した手段によれば、簡単な構成により副ブロックの第2のアドレス選択線の共通化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを大幅に低減できる。

【0011】

【課題を解決するための手段】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、1つのスイッチ素子と1つの強誘電体キャパシタからなるメモリセルを持つメモリセルアレイ部を併設させ、かかるメモリセルアレイ部において上記一方の電極を省略し、第2の選択線に対応したダミーの他方の電極を設けて第2の選択線のレイアウトパターンが上記副ブロック記憶回路のそれと同様な構成とする。

【0012】

【作用】上記した手段によれば、異なる構成の記憶ブロックを備えつつ、キャパシタの他方の電極の疎密によるパターン寸法の変動が防止でき、動作マージンを確保することができる。

【0013】

【実施例】図2には、この発明に係る半導体記憶装置の一実施例の一部ブロック図が示され、図3には、残りの一部ブロック図が示されている。図2には、図3との関連を明らかにするため図3と一部重複して描かれている。同図の各回路ブロック及び回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。本願では、MOSFETは、絶縁ゲート型電界効果トランジスタ(IGFET)の意味で用いている。

【0014】この実施例の半導体記憶装置は、8ビットの単位でデータの書き込み/読み出し動作を行うものとされる。メモリアレイ部は、代表として 2×8 個のメモリブロックが示されている。すなわち、横方向に8個のメモリブロックが設けられ、縦方向に2個のメモリブロックが設けられる。上記横方向に配置される8個のメモリブロックは、8個のデータ端子D10-1ないしD10-8に対応して設けられる。同図では、そのうちの2個のメモリブロックに対応した回路が代表として例示的に示されている。

【0015】1つのメモリブロックは、メモリブロックBL1に示されているように、2つの副メモリブロック記憶回路SBL1とSBL2に分けられる。1つの副ブロック記憶回路SBL1には、1つのスイッチMOSFETT11と、それに対して複数個設(同図では2

6

個)けられた強誘電体キャパシタQ2、Q10と、ストレス防止のために設けられたスイッチMOSFETT21から構成される単位記憶回路が複数個設けられる。すなわち、8本からなる主データ線D1～D8に対応して、8個の単位記憶回路が設けられる。

【0016】一方の副ブロック記憶回路SBL1において、第1のアドレス選択線であるワードブロック線WB11にゲートが共通に接続されたMOSFETT11に代表された8個のスイッチMOSFETに対応して、d

10 1～d8のデータ線が設けられる。これらのデータ線d1～d8は、後述するような上記強誘電体キャパシタQ1～Q8、Q9～Q16の一方の電極を構成する。この実施例では、上記データ線d1～d8の他端には、上記MOSFETT21に代表されたストレス防止のためのスイッチMOSFETが設けられ、ストレス防止電圧供給線SD1に接続される。上記強誘電体キャパシタQ1～Q8を構成するための他方の電極P1.1が共通に形成される。この電極P1.1は第2のアドレス選択線として上記データ線d1～d8と直交するように配置される。

20 電極P1.2は、他の強誘電体キャパシタQ9～Q16に対応して、上記電極P1.1に並んで配置される。

【0017】上記メモリブロックBL1を構成する他の副ブロック記憶回路SBL2においても上記同様に、第1のアドレス選択線であるワードブロック線WB12にゲートが共通に接続されたMOSFETT12に代表された8個のスイッチMOSFETに対応して、d1'～d8'のデータ線が設けられる。これら複数のデータ線d1'～d8'は、後述するような上記強誘電体キャパシタq1～q8、q9～q16の一方の電極を構成する。この実施例では、上記データ線d1'～d8'の他端には、上記MOSFETT22に代表されたストレス防止のためのスイッチMOSFETが設けられ上記のストレス防止電圧供給線SD1に接続される。上記強誘電体キャパシタq1～q8を構成するための他方の電極P1.2が共通に形成される。この電極P1.2は、第2のアドレス選択線として上記データ線d1'～d8'と直交するように他の強誘電体キャパシタq9～q16を構成する他のアドレス選択線P2.2と並んで配置される。

30 【0018】つまり、メモリブロックBL1は、上記2つの副ブロック記憶回路SBL1とSBL2が、ストレス防止電圧供給線SD1を挟んで上下対称的に配置される。特に制限されないが、実質的な配線長を互いに同じくするために、第2のアドレス選択線である電極P1.1とP1.2及びP2.1とP2.2のアドレス割り当ては、上下対称ではなく、上から順に1と2のように割り当てられる。

40 【0019】上記強誘電体キャパシタQ1等は、それ自体で1つのメモリセルを構成するものであり、上記のように2つの電極d1及びP1.1等を強誘電体を挟んで直交するように配置するだけで形成できる。つまり、電極

50 交するように配置するだけで形成できる。つまり、電極

(5)

7

d_1 及び電極 P_{11} を異なる層に形成し、両電極が交差した場所であって、両電極の間の層に強誘電体を設けた場合、キャパシタを高密度に形成することができる。しかし、メモリアクセスのためのアドレス選択回路を考えると、メモリセルだけを高密度に配置しても意味がなく、アドレス選択回路とのレイアウト上の整合性がとれたものでなくてはならない。つまり、記憶回路を考えるとときには、メモリアレイと、その選択を行うアドレス選択回路が、半導体基板上における幾何学的な素子配置に整合性がなくてはならない。アドレス選択回路とメモリアレイの整合性が悪く、アドレス選択回路の集積度が、メモリアレイの集積度より低い場合、半導体記憶装置の集積度は、アドレス選択回路の集積度に律束され事となり、高集積化が制限されてしまう。

【0020】この実施例では、上記副ブロック記憶回路 SBL_1 と SBL_2 に対して、第2のアドレス選択線である電極 P_{11} と P_{12} に同じアドレスを割り当てて、共通プレート PL_1 に接続する。同様に、他方の第2のアドレス選択線である電極 P_{21} と P_{22} に同じアドレスを割り当てて共通プレート PL_2 に接続する。そして、これらの共通プレート PL_1 と PL_2 に対して、アドレス選択回路としての共通プレート線ドライバ $PL-DV_1$ を設ける。

【0021】このような構成とすることにより、共通プレート線ドライバ $PL-DV$ は、実質的に第2のアドレス選択線である他方の電極 $P_{11} \sim P_{22}$ のピッチに対して約2倍の大きなピッチにより形成することができ、メモリアレイ部とアドレス選択回路との整合性を探るようになることができる。

【0022】他の代表として示されているメモリブロック BL_{21} においても、上記同様な構成とされる。そして、同図では点線によるブラックボックスとして示されているメモリブロック BL_{18} 及び BL_{28} と、その間に省略されている他のメモリブロックも同様な構成とされる。上記第2のアドレス選択線としての強誘電体キャパシタの他方の電極 P_{11} 等は、そのまま横方向に延長されて同じアドレスが割り当てられた他のメモリブロック選択回路 BL_{18} 等に含まれるメモリセルとしての強誘電体キャパシタの他方の電極を構成する。

【0023】 Y セレクタ $YSW-1$ は、上記主データ線 $D_1 \sim D_8$ の中から1つのを選択して共通データ線に接続する。この共通データ線には、上記書き込み／読み出し回路 RWC_1 にデータ端子 $DIO-1$ が設けられる。なお、上記 Y セレクタ $YSW-1$ は、非選択のメモリセルに対してかかるストレスを軽減させるために、非選択用の主データ線に対しても書き込み（読み出し）電圧 V_o の半分の電圧 $V_o/2$ を供給するスイッチMOSFETが付加される。

【0024】残り7個のデータ端子 $DIO-2 \sim DIO-8$ に対しても、上記同様な構成の Y セレクトと書き込

(5)

8

み／読み出し回路が設けられる。同図には、そのうちのデータ端子 $DIO-7$ に対応した Y セレクト 7 及び書き込み／読み出し回路 RWC_7 が代表として示され、他の回路は省略されていいいる。

【0025】上記メモリアレイ部のメモリブロックの第1アドレス選択線であるワード線（ブロック選択線 WB_{11} 等）及び第2のアドレス選択線であるワード線（共通プレート線 PL_1 等）は、デコーダ $WB-DEC$ 、 $PL-DEC$ により選択／非選択の電位がそれぞれ与えられる。X系アドレス信号 XA は、アドレスバッファ XAB を通してアドレスラッチ回路 XAL に取り込まれる。上記デコーダ $WB-DEC$ と $PL-DEC$ は、アドレスラッチ回路 XAL に取り込まれたアドレス信号を解読して、一連の動作シーケンスに対応して第1アドレス選択線、及び第2アドレス選択線の選択／非選択信号を形成する。

【0026】上記 Y セレクタ $YSW-1 \sim YSW-8$ の各スイッチMOSFETは、 Y デコーダ $YDEC$ によりスイッチ制御される。 Y 系アドレス信号 YA は、アドレスバッファ YAB を通してアドレスラッチ回路 YAL に取り込まれる。 Y デコーダ $YDEC$ は、アドレスラッチ回路 YAL に取り込まれたアドレス信号を解読して、選択された1つのデータ線は書き込み／読み出し回路 RWC に接続し、残り7本の非選択データ線にはバイアス電圧 $V_o/2$ を供給する。

【0027】制御回路 $CONT$ は、電源電圧 V_{cc} により書き込み電圧 V_o 、半書き込み電圧 $V_o/2$ の出力と、書き込み／読み出し信号 R/W に対応してタイミング信号 ϕ 等を形成する。この他、必要に応じてチップ選択信号 $/CE$ や図示しない強制リフレッシュ処理（又はポーリング処理）用の高電圧が供給される。また、ブロックアクセス動作や自動書き込みベリファイ機能を付加する場合には、そのシーケンス制御のための論理回路が設けられる。

【0028】図1には、この発明に係る半導体記憶装置におけるメモリブロックの一実施例のレイアウトパターン図が示されている。同図は、1つのメモリブロックが上下に分けられた2つの副ブロック記憶回路に分けられた例が示され、上記図2の1つのメモリブロックにほぼ対応している。

【0029】図2のメモリブロックの構成素子と、図1に示されたメモリブロックの構成素子の相違点を以下説明する。図2のメモリブロックの各副ブロック記憶回路は、第1アドレス選択線に結合された1つのスイッチMOSFETと、ストレス防止電圧供給線に結合された1つのストレス防止用のスイッチMOSFETと、上記各スイッチMOSFET間に接続された2つの強誘電体キャパシタを含む単位記憶回路によって構成されるのに対し、図1のメモリブロックの副ブロック記憶回路は第1アドレス選択線に接続された1つのスイッチMOSFET

(6)

9

Tと、ストレス防止電圧供給線に結合された1つのストレス防止用のスイッチMOSFETと、上記各スイッチMOSFET間に接続された4つの強誘電体キャパシタを含む単位記憶回路によって構成される。更に、図2のメモリブロックは8本の主データ線によって構成されるのに対し、図1のメモリブロックは6本の主データ線によって構成される。また、図1においては、メモリブロックの各副ブロック記憶回路の単位記憶回路が4つの強誘電体キャパシタを含むことに対応して、4つの共通プレートドライバが1つのメモリブロックに対して設けられる。

【0030】同図において、縦方向に点線で示された主データ線D1～D6と、それと重なるように形成されたスイッチMOSFETT11等を介して接続された上側の副ブロック記憶回路SBL1を構成するデータ線、及びこれらと直交するように配置される第2のアドレス選択線としての電極P11～P41が形成される。上記スイッチMOSFETT11等のゲートは、ワードブロック選択線WB11と一体的に構成される。この実施例の副ブロック記憶回路SBL1は、1つのスイッチMOSFETT11等に対して4つの強誘電体キャパシタが形成される例が示されている。

【0031】特に制限されないが、ワードブロック選択線WB11は、第1層目の配線層であり、例えばポリシリコン層から構成される。スイッチMOSFETT11等を介して接続される副ブロック記憶回路SBL1内のデータ線とそれと直交るようにされたプレート電極P11～P41は、2層目と3層目の配線層からなり、後述するようにそれぞれ白金からなる金属配線層により形成される。上記副ブロック記憶回路SBL1内のデータ線の他端には、ストレス防止のためのスイッチMOSFETT21等が設けられ上記のストレス防止電圧供給線SD1に接続される。上記ストレス防止のスイッチMOSFETT21等のゲートは、データブロック線DB11に接続される。

【0032】上記のストレス防止電圧供給線SD1に対して対称的に下側の副ブロック記憶回路SBL2が形成される。すなわち、上記ストレス防止用電圧供給線SD1に隣接して、ストレス防止のためのスイッチMOSFETT22等が設けられ、そのゲートはデータブロック線DB12に接続される。上記縦方向に点線で示された主データ線D1～D6と、それと重なるように形成されたスイッチMOSFETT12等を介して接続された下側の副ブロック記憶回路SBL2を構成するデータ線、及びこれらと直交するように配置される第2のアドレス選択線としての電極P12～P42が形成される。そして、データ線の下側に設けられた上記スイッチMOSFETT12等のゲートは、ワードブロック選択線WB12と一体的に構成される。同図には、1つのメモリブロックしか示されていないが、他のメモリブロックは、そ

(6)

10

のワードブロック線が上記ワードブロック線WB11又はWB12に隣接して配置されるように設けられ、主データ線とそれに対応したスイッチMOSFETのコンタクト列に対して上下対称に配置される。このような対称配置によって、コントクト数が少なく効率よくメモリアレイをレイアウトすることができる。

【0033】この実施例では、上記副ブロック記憶回路SBL2の電極P12～P42は、ドライバ側において縦方向に延長される接続配線PL1'～PL4'を介して共通プレート線PL1～PL4に接続される。この接続配線PL1'～PL4'は、特に制限されないが、4層目配線が用いられ、例えばアルミニウムのような金属配線層とされる。

【0034】上記4つの共通プレート線は、共通プレート線PL1とPL2及び共通プレート線PL3とPL4の2組に分けられて配置される。共通プレート線PL1とPL2は、電極P11、P12及び電極P21、P22にそれぞれ結合され、共通プレート線PL3とPL4は、電極P31、P32及び電極P41、P42にそれぞれ共通に結合される。上側に配置された共通プレート線ドライバPL-DV1及びPL-DV2の出力信号は、第5層目の配線層により構成された共通プレート線PL1及びPL2を介して電極P11、P12及び電極P21、P22に伝えられる。同様に、2組に分けられた他の共通接続された電極P31とP32及びP41とP42には、下側に配置された共通プレート線ドライバPL-DV3及びPL-DV4の出力信号が第5層目の配線層により構成された共通プレート線PL3及びPL4を介して伝えられる。

【0035】このような構成とすることにより、各副ブロック記憶回路に含まれる単位記憶回路が4本のプレート線（4つの強誘電体キャパシタ）を持つにもかかわらず、それを選択する共通プレート線ドライバは各副ブロック危篤回路に対して実質的に2個だけ配置すればよい。このようにすることによって、メモリアレイとその選択信号を形成する共通プレート線ドライバ及びデータを含むアドレス選択回路との幾何学的な整合性を探りつつ、高密度に回路を形成することができる。すなわち、メモリアレイの集積度がアドレス選択回路の集積度より高い事によって、半導体記憶装置の集積度がアドレス選択回路の集積度に律束してしまうことを回避ないし改善することが可能とされる。

【0036】図4には、上記半導体記憶装置の書き込みと読み出し方法の一実施例を説明するための回路図が示されている。同図においては、選択ブロックと非選択ブロックとの2つが代表として例示的に示されている。この実施例では、強誘電体キャパシタQ1等において、分極の反転を生じさせる電圧をV0とし、その半分の電圧V0/2では分極の反転が生じないものとする。

【0037】選択ブロックBL11の中の選択副ブロッ

(7)

11

ク SBL1 のスイッチMOSFET T11 等はオン状態 (ON) に、スイッチMOSFET T12 はオフ状態 (OFF) にされる。これにより、副ブロック記憶回路 SBL1 のデータ線 d1 ~ d8 は、それぞれが主データ線 D1 ~ D8 に接続される。このとき、主データ線 D1 ~ D8 のうち、主データ線 D1 が選択されて、書き込み又は読み出し信号 0 (又は V0) が供給される。他の非選択主データ線 D2 ~ D8 には V0/2 が供給される。

【0038】上記選択副ブロック SBL1において、プレート電極 P11 が選択されて、強誘電体キャパシタ Q1 に書き込み又は読み出しが行われるとき、共通プレート線 PL1 に電圧 V0 (又は 0) が供給され、他の非選択の共通プレート線 PL2 には V0/2 が供給される。

【0039】これにより、選択副ブロック SBL1 の強誘電体キャパシタ Q1 の両電極間にに対して、V0 が印加されて分極の反転が可能にされる。もちろん、強誘電体キャパシタ Q1 において保持状態の分極の向きと同じならその状態を維持する。これに対して、上記選択プレート電極 P11 と非選択のデータ線 d2 ~ d8 とで構成される非選択の強誘電体キャパシタ Q2 ~ Q8 では、V0/2 の電圧しか印加されないからもとの分極の状態を保持する。上記選択のデータ線 d1 と非選択のプレート電極 P12 とで構成された強誘電体キャパシタ Q9 においても、上記同様に V0/2 の電圧しか印加されないからもとの分極の状態を保持する。上記非選択のデータ線 d2 ~ d8 と、非選択のプレート電極 P21 とで構成された強誘電体キャパシタ Q9 ~ Q16 においては、両電極間に与えられる電圧が V0/2 の同電位となって分極の反転が生じないばかりか、V0/2 のようなストレスの原因となる電圧も印加されない。

【0040】選択ブロック BL11 の中の非選択副ブロック SBL2 のスイッチMOSFET T12 等はオフ状態 (OFF) に、スイッチMOSFET T22 はオン状態 (ON) にされる。これにより、非選択の副ブロック記憶回路 SBL2 のデータ線 d1' ~ d8' は、それぞれがストレス防止電圧供給線 SD1 に接続されて電圧 V0/2 が印加される。これにより、上記プレート電極 P11 と P12 の共通化によって V0 (又は 0) のような電圧が印加されるプレート電極 P12 に設けられる強誘電体キャパシタ q1 ~ q8 においても、V0/2 のような電圧しか印加されないから分極の反転は生じない。また、上記非選択のデータ線 d1' ~ d8' と、非選択のプレート電極 P22 との間に構成された強誘電体キャパシタにおいては、両電極間に与えられる電圧が V0/2 の同電位となって分極の反転が生じないばかりか、V0/2 のようなストレスの原因となる電圧が印加されることもない。

【0041】非選択ブロック BL21 では、主データ線 D1 ~ D8 や、ストレス防止電圧供給線 SD2 に接続されるスイッチMOSFET T13、T23、T14 及び

12

T24 等がオフ状態となり、ブロック内のデータ線 d1" ~ d8" 等は図示しないディスチャージ回路により 0V のようにディスチャージされており、プレート電極 P31 ~ P42 にも 0V が印加されているだけであるので、分極が生じることはなくストレスの原因となる電圧が印加されることはない。

【0042】図 5 には、書き込み動作と読み出し動作を説明するための概略波形図が示されている。書き込みサイクルでは、主データ線の中で選択されたものには、実線で示すような V0 又は点線で示すような 0V が供給される。これに対して、非選択の主データ線には V0/2 が供給される。共通プレート線の中で選択されたものには、上記主データ線の選択されたものの電圧とは逆に、実線で示すような 0V 又は点線で示すような V0 が供給される。また、選択ブロックの中の非選択のプレート電圧は V0/2 とされ、非選択ブロックのからのプレート電圧は 0V にされる。

【0043】読み出しサイクルでは、主データ線の中で選択されたものには、実線で示すように (a) の期間 V0 にプリチャージされ、プレート電圧が 0V にされているので分極の反転が生じたもので分極に伴う電流を (b) の期間でセンスアンプによりセンスする。すなわち、分極の反転に伴う電荷の移動に対応した電位変化がデータ線に現れて、これがセンスアンプによりセンスされる。これに対して、分極の反転が行われない強誘電体キャパシタが接続されるデータ線では電位変化が生じない。このような読み出しによる分極の反転を元に戻すために、(c) のように選択される主データ線とプレート電圧の電圧を読み出し時と逆転させてもとの状態に戻す。もしも、点線で示すように分極非反転のときには、ともに 0V となってその状態を保持させる。読み出しサイクルにおいても、非選択の主データ線やプレート電極の電圧は前記書き込みと同様である。

【0044】図 6 には、上記選択ブロック内における選択副ブロック SBL1 での書き込み動作と読み出し動作を説明するための概略波形図が示されている。書き込みサイクルでは、データ線を主データ線に接続させるトランスマスFET T11 がオン状態に、データ線をストレス防止電圧供給線に接続されるトランスマスFET T21 がオフ状態にされる。これにより、選択されたデータ線 d1 には主データ線の選択電圧 V0 (又は 0V) が印加され、他の非選択データ線 d2 ~ d8 には非選択の主データ線の電圧 V0/2 が印加される。プレート線の電圧は、前記図 5 と同様である。これにより、選択データ線 d1 と選択のプレート線 P11 との間に形成された強誘電体キャパシタに電圧 V0 が印加される。他の強誘電体キャパシタには V0/2 の電圧しか印加されない。

【0045】読み出しサイクルでは、上記のようにデータ線を主データ線に接続されるトランスマスFET

(8)

13

TT11がオン状態に、データ線をストレス防止電圧供給線に接続されるトランスマスファMOSFETT21がオフ状態にされているので、選択されたデータ線d1には、実線で示すように(a)の期間Voにプリチャージされ、プレート電極の電圧が0Vにされているので分極の反転が生じたもので分極に伴う電流を(b)の期間でセンスアンプによりセンスする。このような読み出しによる分極の反転を元に戻すために、(c)のように選択されるデータ線とプレート電極の電圧を読み出し時と逆転させてもとの状態に戻す。もしも、点線で示すように分極非反転のときには、ともに0Vとなってその状態を保持させる。読み出しサイクルにおいても、非選択の主データ線やプレート電極の電圧は前記書き込みと同様である。

【0046】図7には、上記選択ブロック内における非選択副ブロックSBL2での書き込み動作と読み出し動作に伴う概略波形図が示されている。書き込み及び読み出しサイクルでは、データ線を主データ線に接続されるトランスマスファMOSFETT12がオフ状態に、データ線をストレス防止電圧供給線に接続されるトランスマスファMOSFETT22がオン状態にされる。これにより、データ線d1"～d8"にはVo/2が印加される。他は、前記図6と同様である。プレート線の共通化によって、非選択副ブロックSBL2においても、書き込み又は読み出しによるデータの反転に伴う再書き込み時にVoのような電圧が印加されるが、上記のようにデータ線d1"～d8"にはVo/2が印加されているから分極の反転は生じない。

【0047】データの1と0に応じて、上記電圧の印加方向を指定することにより、書き込みを行うようにするもの他、例えばデータ0に対応した状態を消去状態と決めておいて、書き込みに際してはデータ0に対応した分極の向きになるような消去書き込みを行い、その後にデータ1になるものに対してのみ書き込みを行うようにしてもよい。つまり、従来の一括消去型EPROM等のような書き換え動作と同様に、8ビットの単位でのデータ書き込みにおいて、全ビットを0に消去状態にし、8ビットの中で0から1に変えるビットだけを書き込むようにするものであってもよい。このようにすることにより、主データ線やプレート線に供給する電圧の極性を規則的に設定することができる。

【0048】つまり、第1回目の消去期間と第2回目の書き込み期間において、上記トランスマスファMOSFETのゲートが接続されたブロックワード線を選択電位に維持し、第1回目の消去期間における"0"書き込みのときには、選択されるプレート線の電位がVo/2のような非選択レベルから0Vのような選択レベルに変化し、これと同期してデータ線の電位がVo/2のような非選択レベルからVoのような書き込み電圧に変化される。これにより、選択された強誘電体キャパシタにはVoの電

(8)

14

圧が印加されて分極が一方向に向くようにされる。

【0049】引き続いて行われる第2回目の"1"書き込みのときには、選択される第2ワード線の電位が0VからVoに変化し、データ線の電位がVoから0V変化される。これにより、選択された強誘電体キャパシタには前記とは逆の極性に書き込み電圧Voが印加されて分極が他方に向くようにされる。

【0050】図8には、上記半導体記憶装置の書き込みと読み出し方法の他の一実施例を説明するための回路図が示されている。同図においては、図4の実施例と同様に選択ブロックBL11と非選択ブロックBL21との2つが代表として例示的に示されている。

【0051】この実施例においては、非選択ブロックBL21側のバイアスの印加方法の他の一実施例が示されており、選択ブロックBL11側については前記図4の実施例と同じであるので説明を省略する。非選択ブロックBL21側において、ストレス防止電圧供給線SD2に対応したスイッチMOSFETT23及びT24等をオン状態(ON)にして、スイッチMOSFETT23及びT24等のソースドレイン経路の一端にVo/2のような中間電圧を供給する。これに応じて、プレート電圧も前記のような0からブロック内のデータ線d1"～d8"と同じ電位のVo/2に設定する。あるいは、非選択ブロックBL21ではストレス防止電圧供給線SD2に0Vを供給するようにし、それに応じてプレート電圧も0Vにしてもよい。このような構成により、前記のようにデータ線d1"～d8"にディスチャージ回路を格別設けることなく、非選択ブロックBL21の強誘電体キャパシタの両電極には同じバイアス電圧が与えられているので、非選択の強誘電体キャパシタにかかるストレスを最小にすることができる。

【0052】図9には、この発明に係る半導体記憶装置の他の一実施例の一部ブロック図が示され、図10には、残りの一部ブロック図が示されている。前記同様に図9には、図10との関連を明らかにするため図10と一部重複して描かれている。

【0053】この実施例では、ストレス防止電圧供給線とそれに対応して設けられるスイッチMOSFETが省略される。つまり、1つのメモリブロックBL11が2つの副ブロック記憶回路SBL1とSBL2に分けられ、2つの副ブロック記憶回路SBL1とSBL2においてプレート電極P11とP12及びP21とP22が共通化させられ、それに対応した共通プレート線ドライバのピッチを広くするものである。他の構成は、前記図2及び図3等の実施例と同様である。

【0054】この構成では、上記のようにストレス防止電圧供給線やそれと副ブロックのデータ線とを接続するスイッチMOSFETが省略できるので、回路が大幅に簡素化できるもとなる。

【0055】図11には、上記図9と図10に示された

(9)

15

半導体記憶装置における書き込みと読み出し方法の一実施例を説明するための回路図が示されている。同図においては、選択ブロック B L 1 1 と非選択ブロック B L 2 1 との 2 つが代表として例示的に示され、前記同様に強誘電体キャパシタ Q 1 等において、分極の反転を生じさせる電圧を V_o とし、その半分の電圧 $V_o/2$ では分極の反転が生じないものとする。

【0056】この実施例では前記のように回路の簡素化のために、ストレス防止電圧供給線やスイッチMOSFETを省略したので、それに相当する機能を動作シーケンスによって行われる。つまり、書き込み又は読み出し動作に先立ってプリチャージ期間が設けられる。このプリチャージ期間では、選択ブロックの選択副ブロックのワードブロック線WB 1 1 がロウレベルにされてスイッチMOSFET T 1 1 等をオフ状態に、非選択副ブロック SBL 2 のブロックワード線WB 1 2 をハイレベルにしてスイッチMOSFET T 1 2 等をオン状態にされる。そして、主データ線D 1 ～D 8 を全て非選択にして $V_o/2$ を供給する。これにより、非選択副ブロックのデータ線 d 1' ～ d 8' を $V_o/2$ にプリチャージする。

【0057】上記のようなプリチャージが終了すると、選択ブロック B L 1 1 の中の選択副ブロック記憶回路 SBL 1 のスイッチMOSFET T 1 1 等はオン状態 (ON) に、スイッチMOSFET T 1 2 はオフ状態 (OFF) にされる。これにより、選択副ブロック記憶回路 SBL 1 のデータ線 d 1 ～ d 8 は、それぞれが主データ線 D 1 ～ D 8 に接続される。一方、非選択副ブロック記憶回路 SBL 2 のデータ線 d 1' ～ d 8' は、前記図4と同様にが $V_o/2$ に保持される。前記図4と図11の相違点としては、図4の実施例においてデータ線 d 1' ～ d 8' は、ストレス防止用のスイッチMOSFETを介して $V_o/2$ の電圧が定常的に供給されるのに対して、図11の実施例においては、データ線 d 1' ～ d 8' 等に寄生的に結合された寄生容量に電荷が保持されることによって、データ線 d 1' ～ d 8' の電位が $V_o/2$ に維持される点である。

【0058】そして、主データ線 D 1 ～ D 8 のうち、主データ線 D 1 が選択されて、書き込み又は読み出し信号 0 (又は V_o) が供給される。他の非選択主データ線 D 2 ～ D 8 には $V_o/2$ が供給される。上記選択副ブロック記憶回路 SBL 1において、プレート電極 P 1 1 が選択されて、強誘電体キャパシタ Q 1 に書き込み又は読み出しが行われるとき、共通プレート線 P L 1 に電圧 V_o (又は 0) が供給され、他の非選択の共通プレート線 P L 2 は 0 から $V_o/2$ に切り換えられる。

【0059】これにより、選択副ブロック記憶回路 SBL 1 の強誘電体キャパシタ Q 1 の両電極間に、 V_o が印加されて分極の反転が可能にされる。もちろん、強誘電体キャパシタ Q 1 において保持状態の分極の向きと同じ

16

ならその状態を維持する。これに対して、上記選択プレート電極 P 1 1 と非選択のデータ線 d 2 ～ d 8 との間に形成された非選択の強誘電体キャパシタ Q 2 ～ Q 8 の両電極間には、 $V_o/2$ の電圧しか印加されないからもとの分極の状態を保持する。上記選択のデータ線 d 1 と非選択のプレート電極 P 1 2 との間に形成された強誘電体キャパシタ Q 9 においても、上記同様に $V_o/2$ の電圧しか印加されないからもとの分極の状態を保持する。上記非選択のデータ線 d 2 ～ d 8 と、非選択のプレート電極 P 2 1 との間に形成された強誘電体キャパシタ Q 10 ～ Q 16 においては、両電極に与えられる電圧が $V_o/2$ の同電位となって分極の反転が生じないばかりか、 $V_o/2$ のようなストレスの原因となる電圧が両電極間に印加されない。

【0060】選択ブロック B L 1 1 の中の非選択副ブロック記憶回路 SBL 2 のスイッチMOSFET T 1 2 等は上記状態を維持しオフ状態 (OFF) にされ、データ線 d 1' ～ d 8' が $V_o/2$ を保持している。これにより、上記プレート電極 P 1 1 と P 1 2 の共通化によって V o (又は 0) のような電圧が印加されるプレート電極 P 1 2 を有する強誘電体キャパシタにおいても、両電極の間に $V_o/2$ のような電圧しか印加されないから分極の反転は生じない。また、上記非選択のデータ線 d 1' ～ d 8' と、非選択のプレート電極 P 2 2 とで構成された強誘電体キャパシタにおいては、両電圧が $V_o/2$ の同電位となって分極の反転が生じないばかりか、 $V_o/2$ のようなストレスの原因となる電圧が印加されることはない。

【0061】非選択ブロック B L 2 1 では、主データ線 D 1 ～ D 8 や、ワードブロック線WB 2 1 と WB 2 2 がロウレベルとされることによりスイッチMOSFET T 1 3 及び T 1 4 等がオフ状態となり、非選択ブロック B L 2 1 内のデータ線 d 1" ～ d 8" 等は、特に制限されないが、図示しないディスチャージ回路により 0 V のようにディスチャージされており、プレート電極 P 3 1 ～ P 4 2 にも 0 V が印加されているだけであるので、分極が生じることはなくストレスの原因となる電圧が印加されることはない。

【0062】図12には、上記図11の書き込み動作と読み出し動作を説明するための概略波形図が示されている。書き込みサイクルでは、プリチャージ期間が設けられて前記のような $V_o/2$ のプリチャージ動作が行われる。このようなプリチャージ期間が終了すると、前記同様に主データ線の中で選択されたものには、実線で示すような V_o (又は点線で示すような 0 V) が供給される。これに対して、非選択の主データ線には $V_o/2$ が供給される。共通プレート線の中で選択されたものには、上記主データ線の選択されたものの電圧とは逆に、実線で示すような 0 V (又は点線で示すような V_o) が供給される。また、選択ブロックの中の非選択のプレート

(10)

17

ト電圧は $V_o/2$ とされ、非選択ブロックの中のプレート電圧は $0V$ にされる。

【0063】読み出しサイクルでは、プリチャージ期間が設けられて前記のような $V_o/2$ のプリチャージ動作が行われる。このようなプリチャージ期間が終了すると、前記同様に主データ線の中で選択されたものには、実線で示すように (a) の期間 V_o にプリチャージされ、プレート電圧が $0V$ にされているので分極の反転が生じたもので分極に伴う電流を (b) の期間でセンサアンプによりセンスする。すなわち、分極の反転に伴う電荷の移動に対応した電位変化がデータ線に現れて、これがセンサアンプによりセンスされる。これに対して、分極の反転が行われない強誘電体キャパシタが接続されるデータ線では電位変化が生じない。このような読み出しによる分極の反転を元に戻すために、(c) のように選択される主データ線とプレート電圧の電圧を読み出し時と逆転させてもとの状態に戻す。もしも、点線で示すように分極非反転のときには、ともに $0V$ となってその状態を保持させる。読み出しサイクルにおいても、非選択の主データ線やプレート電極の電圧は前記書き込みと同様である。

【0064】図13には、選択ブロック BL11 内での選択副ブロック記憶回路 SBL1 での書き込み動作と読み出し動作を説明するための概略波形図が示されている。書き込みサイクルでは、プリチャージ期間が設けられて前記のような $V_o/2$ のプリチャージ動作が行われる。このようなプリチャージ期間が終了すると、前記同様にデータ線を主データ線に接続されるトランスマスフェット T1 がオン状態にされる。これにより、選択されたデータ線 d1 には主データ線の選択電圧 V_o (又は $0V$) が印加され、他の非選択データ線 d2 ~ d8 には非選択の主データ線の電圧 $V_o/2$ が印加される。プレート線の電圧は、前記図12と同様である。これにより、選択データ線 d1 と選択のプレート線 P11 との間に形成された強誘電体キャパシタに電圧 V_o が印加される。他の強誘電体キャパシタには $V_o/2$ の電圧しか印加されない。

【0065】読み出しサイクルでは、プリチャージ期間が設けられて前記のような $V_o/2$ のプリチャージ動作が行われる。このようなプリチャージ期間が終了すると、前記同様にデータ線を主データ線に接続されるトランスマスフェット T1 がオン状態にされる。選択されたデータ線 d1 には、実線で示すように (a) の期間 V_o にプリチャージされ、プレート電圧が $0V$ にされているので分極の反転が生じたもので分極に伴う電流を (b) の期間でセンサアンプによりセンスする。このような読み出しによる分極の反転を元に戻すために、(c) のように選択されるデータ線とプレート電極の電圧を読み出し時と逆転させてもとの状態に戻す。もしも、点線で示すように分極非反転のときには、ともに $0V$

18

V となってその状態を保持させる。読み出しサイクルにおいても、非選択の主データ線やプレート電極の電圧は前記書き込みと同様である。

【0066】図14には、選択ブロック BL11 内での非選択副ブロック記憶回路 SBL2 での書き込み動作と読み出し動作に伴う概略波形図が示されている。書き込み及び読み出しサイクルでは、プリチャージ期間が設けられて前記のような $V_o/2$ のプリチャージ動作が行われる。このようなプリチャージ期間が終了すると、前記同様にデータ線を主データ線に接続されるトランスマスフェット T1 がオフ状態にされる。上記プリチャージにより、データ線 d1' ~ d8' には $V_o/2$ が保持される。他は、前記図13と同様である。プレート線の共通化によって、非選択副ブロック記憶回路 SBL2 においても、書き込み又は読み出しによるデータの反転に伴う再書き込み時に V_o のような電圧が印加されるが、上記のようにデータ線 d1' ~ d8' には $V_o/2$ が保持されているから分極の反転は生じない。

【0067】図15には、上記図9と図10に示された半導体記憶装置の書き込みと読み出し方法の他の一実施例を説明するための回路図が示されている。同図においては、選択ブロック BL11 と非選択ブロック BL21 との2つが代表として例示的に示され、前記同様に強誘電体キャパシタ Q1 等において、分極の反転を生じさせる電圧を V_o とし、その半分の電圧 $V_o/2$ では分極の反転が生じないものとする。

【0068】この実施例ではプリチャージ期間においても、非選択副ブロック記憶回路 SBL2 のワードブロック線 WB12 と同様に選択ブロック BL11 の選択副ブロック記憶回路 SBL1 のワードブロック線 WB11 もハイレベルにされてスイッチ MOSFETT11 及び T12 等を共にオン状態にし、主データ線 D1 ~ D8 を全て非選択にして $V_o/2$ を供給して、選択ブロック内のデータ線 d1 ~ d8 及びデータ線 d1' ~ d8' を $V_o/2$ にプリチャージする。

【0069】上記のようなプリチャージが終了すると、選択ブロック BL11 の中の非選択副ブロック記憶回路 SBL2 のスイッチ MOSFETT12 等はオフ状態 (OFF) に切り換えて非選択副ブロック記憶回路 SBL2 のデータ線 d1' ~ d8' に $V_o/2$ を保持させる。他は前記図11と同様であるので説明を省略する。この構成では、選択ブロック BL11 での選択副ブロック記憶回路 SBL1 のワードブロック線 WB11 をメモリサイクル期間にわたってハイレベルにすればよいから制御が簡単となる。

【0070】次に、メモリアクセスの際に非選択にされるべき強誘電体キャパシタにかかる $V_o/2$ のストレスについて考察する。上記の非選択電圧 $V_o/2$ は、強誘電体キャパシタに対して直接に分極を反転させることはないが、その回数ないし時間が長くなると無視できなく

(11)

19

なり、強誘電体キャパシタの持つ分極と電界とのヒステリシス特性における残留分極の保持特性を劣化させる。

【0071】例えば、この実施例の半導体記憶装置のように、1つのスイッチ素子に対してm個（8個）の強誘電体キャパシタを接続し、データ線をN本（128本）として、プレート電極1024本とした場合、全部で約*

(20)

* 1Mビットの記憶容量を持つメモリアレイを想定し、全ビットに1回の書き込み又は読み出しを行った場合のV₀/2のストレスを計算すると次の表1のようになる。

【0072】

【表1】

		ワード線/データ線	本発明	従来1	従来2	従来3	
選択 アロック	選択／非選択		N-1	N-1	N-1	N-1	
	非選択／選択		m-1	M-1	0	m-1	
	非選択／非選択	0	NM-1	0			
非選択 アロック	選択／非選択						
	非選択／選択						
	非選択／非選択	0				N·m(M/m-1)	

【0073】表1では、比較のために、特開平4-336477号公報のようにスイッチ素子を持たないデータ線とワード線の交点に強誘電体キャパシタを設けたものを従来技術（従来1）とし、特開平3-36763号公報のように1つの強誘電体キャパシタに1つのスイッチを設けたものを従来技術（従来2）とし、特開平4-

$$本発明の最大ストレス = (N-1) + (m-1) \quad \dots \dots \dots (1)$$

$$従来1の最大ストレス = NM-1 \quad \dots \dots \dots (2)$$

$$従来2の最大ストレス = N-1 \quad \dots \dots \dots (3)$$

$$従来3の最大ストレス = 1 + (m-1) / N-1 + Nm / (N-1) \cdot (M/m-1) \quad \dots \dots \dots (4)$$

【0075】従来2に対する最大ストレスの相対比は、★次式(5)ないし(7)になる。

$$本発明の相対比 = 1 + (m-1) / (N-1) \quad \dots \dots \dots (5)$$

$$従来1の相対比 = (NM-1) / (N-1) \quad \dots \dots \dots (6)$$

$$従来3の相対比 = 1 + (m-1) / (N-1) + Nm / (N-1) \cdot (M/m-1) \quad \dots \dots \dots (7)$$

【0076】前記のようにN=128、M=1024、m=8とした場合の相対比は、従来2の1に対して、本発明は1.06倍とほぼ同じになるのに対して、従来1と従来3は、1025倍と大きくなる。このことから、本発明では、1つのスイッチ素子に対して複数の強誘電体キャパシタを設けることによる高集積化を図りつつ、メモリアクセス時に非選択にされる強誘電体キャパシタにかかるV₀/2のストレスを従来2のような1スイッチ1キャパシタとほぼ同様にできる。なお、8ビットの単位でのメモリアクセスが行われる場合には、前記同様な構成のメモリアレイが全体で8個設けられる。それ故、半導体記憶装置の持つ記憶容量は、約8Mビットのような大記憶容量となる。

【0077】図16には、この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例の回路図が示されている。この実施例では、1つのブロックに4つの副ブロック記憶回路SBL1ないし副ブロック記憶回路SBL

※90189号公報のように1つのスイッチに複数個の強誘電体キャパシタを設けたものであって、公報からは明らかではないが非選択レベルとしてV₀/2を定常的に供給する構成としたものを従来技術（従来3）とする。

【0074】最大ストレスの回数は、次の式(1)ないし(4)になる。

$$\dots \dots \dots (1)$$

$$\dots \dots \dots (2)$$

$$\dots \dots \dots (3)$$

$$\dots \dots \dots (4)$$

4のように4つの副ブロック記憶回路が設けられる。これに対応して、4つの副ブロック記憶回路SBL1～SBL4において対応する4つのプレート電極P11、P12、P13、P14及びP21、P22、P23、P24がそれぞれ共通プレート線PL1とPL2に接続される。

【0078】このように副ブロック記憶回路の数を増加させることにより、共通プレート線ドライバのピッチをいっそう大きくすることができ、プレート選択回路を形成するレイアウト上の制約が更に緩やかになる。

【0079】同図において、前記図1の実施例のようなストレス防止電圧供給線とスイッチMOSFETを設けて、非選択の副ブロックのデータ線に対して前記のようなプリチャージ動作を行うことなく、V₀/2のようにストレスがかからない所定電圧を供給するものであってもよい。

【0080】図17には、この発明に係る半導体記憶装

(12)

21

置のメモリアレイ部の他の一実施例の回路図が示されている。この実施例では、ブロック毎に副ブロックの数が異なるようにされる。つまり、ブロック1では4つの副ブロック記憶回路SBL1～SBL4が設けられるのに對して、ブロック2では2つの副ブロック記憶回路SBL5とSBL6が設けられる。

【0081】すなわち、ブロック1では4つの副ブロック記憶回路SBL1～SBL4のそれぞれ1つのプレート電極が共通プレート線PL1とPL2に接続される。ブロック2では2つの副ブロック記憶回路SBL5とSBL6のそれぞれ1つのプレート電極が共通プレート線PL3とPL4に接続される。

【0082】本願発明に係る半導体記憶装置では、ブロック単位でメモリアクセスを行うことが強誘電体キャパシタに対するストレスを最小にする上で有効である。なぜなら、ブロック間にまたがって飛び飛びに1ビットずつメモリアクセスを行うのに比べて、ブロック毎にまとまつデータの書き込みや読み出しを行うようになると非選択のメモリブロックにおいては前記のように強誘電体キャパシタのストレスの原因となる直流電圧がかからなくなるからである。

【0083】つまり、磁気ディスクメモリ装置のように1つのまとまつたデータ単位(セクタ)で書き込みや読み出しをするようにし、それを1つのメモリブロックに割り当てるにより、強誘電体キャパシタをストレスによる特性劣化を小さくすることができる。この場合、半導体記憶装置にダイナミック型RAM又はスタティック型RAMあるいはレジスタを内蔵させておいて、外部からの書き込みデータを上記RAMやレジスタに取り込み、それを順次にブロック単位で強誘電体キャパシタに書き込むようにすることが便利である。読み出し動作では、上記RAM又はレジスタに強誘電体キャパシタからの読み出しデータを転送し、かかるRAM又はレジスタを介して高速に読み出し信号を出力させるようとする。

【0084】上記のようにブロック単位でのデータの書き込みや読み出しを行う場合、多数ビットからなるデータとそれより少ないビットからなるデータの2種類があるとき、上記図17のように副ブロックの数が異なるものを設けておけば、データのサイズに応じてブロックを選ぶようにすることによって、ブロック内のメモリセルを無駄なく有効に使用することができる。

【0085】図18には、この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例の回路図が示されている。この実施例では、ブロック毎に副ブロック記憶回路の数が同じであるが、プレート電極の数が異なるようになる。つまり、ブロック1の副ブロック記憶回路SBL1とSBL2では、1つのスイッチMOSFETに対して2個の強誘電体キャパシタが設けられるのに対し、ブロック2の副ブロック記憶回路SBL3とSBL4では、スイッチMOSFETに対して1個の強誘電体キャパシタが設けられる。

22

キャパシタが設けられる。このような構成とすることによつても、前記同様にブロック毎のデータサイズを異ならせることができる。

【0086】図19には、この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例の回路図が示されている。この実施例では、ブロック毎に副ブロック記憶回路の数が同じであるが、プレート電極の数が異なるようになる。つまり、ブロック1の副ブロック記憶回路SBL1とSBL2では、1つのスイッチMOSFETに対して2個の強誘電体キャパシタが設けられるのに対し、ブロック2の副ブロック記憶回路SBL3とSBL4では、スイッチMOSFETに対して1個の強誘電体キャパシタが設けられる。この場合、ブロック1とブロック2とではプレート電極の密度が異なるようになつてしまふので、ブロック1と同様な構成とするためにダミーのプレート電極が設けられる。

【0087】つまり、ダミーのプレート電極に対しては、ブロック内のデータ線と交差しないようにされることによって強誘電体キャパシタが形成されないようにする。このようなダミーのプレート電極を設けると、プレート電極のパターンの疎密によるパターン寸法の変動を防止できる。すなわち、強誘電体キャパシタでは、上記パターン寸法の変動が直接的に容量値の変動になつてしまふから、上記のようなパターン寸法の変動防止によつて動作マージンを大きくすることができる。

【0088】図20には、この発明に係る半導体記憶装置(FRAM)の構成図が示されている。同図では、ブロックと副ブロックの関係と、共通プレート線とプレート線の関係を示している。

【0089】ブロックは1からiまでのi個設けられる。1つのブロックにはn個の副ブロックが設けられる。各副ブロックにおいてはm本のプレート線(電極)がある場合において、必要な共通プレート線の数はm本となる。これは各プレート線の全数(n×m)に対して1/nに減らすことができることを意味している。この結果、プレート線ドライバの数もm個のようにならざる。

【0090】書き込みや読み出し時のブロックの選択は、ブロックレジスタを用いて行うようにされる。各ブロック内の副ブロックの選択は、副ブロック選択レジスタを用いて行うようにする。前記実施例のように各ブロック毎で副ブロックの数が異なる場合には、副ブロック選択レジスタの数は、1つのブロックが持つ最大副ブロックの数とする。そして、特に制限されないが、ブロック選択レジスタ内には各ブロックの副ブロック数を記憶しておき、不必要的選択が行われないようにする。1つのブロックが持つ最大副ブロックの数が2^K個である場合、ブロック選択レジスタの各ビットは、それぞれ例えばK+1ビットとされる。

【0091】図21には、この発明に係る半導体記憶装

(13)

23

置のメモリアレイ部の他の一実施例の回路図が示されている。この実施例では、メモリセルがダイナミック型RAMと同様に、1つのスイッチMOSFETと1つの強誘電体キャパシタから構成される。この場合でも、ブロック毎にプレート線P11とP12を共通化して共通プレート線PL1に接続する。このようにすることによって、ブロック単位でプレート線ドライバを設けるようにすることができ、メモリアレイ側を高密度に形成するとともに、それに整合させてアドレス選択回路を形成することができるようになる。

【0092】図22には、Y系選択回路と書き込み読み出し回路の一実施例の回路図が示されている。同図には、データ端子D10-1に対応したYセレクタYSW-1とそれに対応した読み出し/書き込み回路RWC-1が代表として例示的に示されている。

【0093】YセレクタYSW-1は、代表として例示的に示されている1つの主データ線D1に対して選択用のスイッチMOSFETT4と非選択用のスイッチMOSFETT3から構成される一对のスイッチ素子が設けられる。同様に、代表として例示的に示されている他のデータ線D2とD8に対しても、非選択用と選択用のスイッチMOSFETT5, T6とT7, T8が設けられる。選択用のスイッチMOSFETT4, -T6及びT8は、対応する主データ線D1, D2及びT8を共通データ線に接続する。

【0094】この共通データ線には、上記読み出し/書き込み回路RWC-1が設けられる。非選択用のスイッチMOSFETT3, T5及びT7は、対応するデータ線D1, D2及びD8に対して書き込み(読み出し)電圧V0の半分の電圧V0/2を供給する。図示されない他の主データ線D3～D7に対しても同様な選択用と非選択用のスイッチMOSFETが設けられる。

【0095】上記データ線D1に対応した選択用のスイッチMOSFETT4のゲートには、YデコーダYDECで形成された選択信号Y1が供給され、非選択用のスイッチMOSFETT3のゲートには、かかる選択信号Y1がインバータ回路によって反転されて供給される。同様に、他の選択用のスイッチMOSFETT6及びT8は、選択信号Y2及びY8によりスイッチ制御され、非選択用のスイッチMOSFETT5及びT7は、上記選択信号Y2とY8がインバータ回路により反転されて供給される。これにより、1つのデータ線が選択されて共通データ線に接続されるときには、他のデータ線はV0/2のバイアス電圧が与えられる。

【0096】書き込み系の回路は、データ入力バッファDIBと、データインラッチDIL及び書き込みアンプWRITETEであり、読み出し系の回路は、センスアンプSAと、データアウトラッチDOL及びデータ出力バッファDOBである。データアウトラッチDOLからデータインラッチDILに供給されるデータは、前記のよう

24

な破壊読み出しによる再書き込みのためのものである。つまり、再書き込みが必要な場合には、データ出力ラッチDOLにより再書き込み信号がデータ入力バッファDILとデコーダPL-DECに発せられる。これにより、データ線電圧とプレート線電圧が反転されて(V0は0Vに、0VはV0にそれぞれ変化させられる)、再書き込みが行われる。

【0097】MOSFETT9は、タイミング信号φにより上記センスアンプSAの入力と書き込みアンプWRITETEの出力が接続される共通データ線にV0/2の電位を与えるスイッチMOSFETである。スイッチMOSFETT9は、プリチャージ動作時に、選択主データ線をV0/2にプリチャージする。このとき、非選択の主データ線はYセレクタYSW-1を通してV0/2にプリチャージされる。このプリチャージ動作の終了とともに、スイッチMOSFETT9はオフ状態にされ、ライトアンプWRITETE又はセンスアンプSAが動作して書き込み又は読み出し動作が行われる。

【0098】上記MOSFETT9は省略できるものである。上記プリチャージ動作時にデコーダYDECにおいてYセレクタYSW-1を全て非選択にするよう出力信号を形成すれば、全ての主データ線に上記のようにV0/2の電圧を出力させることができるからである。また、前記図1等の実施例のように、副ブロック記憶回路にストレス防止電圧供給線とそれに対応したスイッチMOSFETが設けられるものでは、非選択副ブロック記憶回路の内部データ線にプリチャージを行うことが必要ないから上記MOSFETT9は削除される。

【0099】図23には、この発明に係る半導体記憶装置の他の一実施例の全体回路図が示されている。同図には、前記図2と図3の実施例の変形例が示されている。すなわち、この実施例では、センスアンプSAの読み出し基準電圧を形成するためにダミーデータ線DUMDL1が設けられる。このダミーデータ線DUMDL1に対応して、ダミースイッチMOSFET、ダミー強誘電体キャパシタDm1、Dm2等が設けられる。これらダミーデータ線DUMDL1やダミースイッチMOSFET、ダミー強誘電体キャパシタDm1、Dm2等によりダミーアレイDUM1が構成される。

【0100】書き込み及び読み出し時に、ダミーセル(強誘電体キャパシタDm1等)には、プリチャージMOSFETTdを介してV0/2の電圧が供給される。これにより、ダミーセルには書き込み及び読み出し時に記憶情報が反転することはない。ダミーセルは、特に制限されないが、メモリセルと同じ構成である。そして、ダミーセルの静電容量はメモリセルの静電容量よりも大きく構成される。主データ線とダミーデータ線との寄生容量は同じにしてある。例えば、ダミーセルによるダミーデータ線の電位変化を、選択メモリセルの分極が反転することにより発生する主データ線の電位変化分と、選

(14)

25

選択メモリセルの分極が反転しないで発生する主データ線の電位変化分との中間になるようにすることによって、センスアンプSAが高速に、かつ正確に読み出し信号をセンスすることができる。

【0101】他の構成は、前記図2と図3の実施例と同様であるので、その説明を省略する。また、図9と図10の実施例のようにストレス防止用電圧供給線SD1等やそれに対応して設けられるスイッチMOSFETを省略した場合にも、上記ダミーデータ線DUMDLを設けてセンスアンプSAの基準電圧を形成することができる。この場合、共通データ線に前記図22のようなプリチャージ用のスイッチMOSFETT9を設けるようにすればよい。

【0102】図24には、この発明に係る半導体記憶装置のメモリアレイ部と入出力系回路の他の一実施例の回路図が示されている。この実施例では、図23の実施例のようなダミーデータ線DUMDLを設けてセンスアンプSAの基準電圧を形成する場合の変形例が示されている。この実施例では、ダミーデータ線DUMDL1がメモリブロックの中央部に配置される。すなわち、前記図23の実施例ではメモリブロックの端部にダミーアレイDUM1を配置したが、この実施例ではメモリブロックBL21の中央部にそれに対応したダミーアレイDUM1が配置される。この実施例のようにダミーアレイDUM1をメモリブロックの中央部に設けるようにすると、かかるメモリブロックのいずれの主データ線に対してもほどほどの特性を得ることができ、センスアンプSAのレベルマージンの拡大を図ることができる。

【0103】図25には、この発明に係る半導体記憶装置のメモリアレイ部と入出力系回路の他の一実施例の回路図が示されている。この実施例では、前記のようなダミーデータ線DUMDLに代えて、ダミー容量CdによりセンスアンプSAの基準電圧を形成する。この場合、ダミー容量Cdの容量値は、実際の主データ線の容量と、メモリセルの容量の和よりも大きく設定される。

【0104】この実施例においても、ストレス防止用電圧供給線SD2等やそれに対応したスイッチMOSFETを省略してメモリブロックを構成してもよい。1つのセンスアンプに接続されるエリアに複数のダミー容量又は前記のようなダミーデータ線を設けておいて、Yセレクタによって選択される主データ線に近いダミー容量又はダミーデータ線を選択するようにしてもよい。このような構成とすることにより、センスアンプSAの動作マージンを拡大することができる。

【0105】図26には、この発明に係る半導体記憶装置が用いられるマイクロコンピュータの一実施例のブロック図が示されている。この実施例では、メモリ回路としてこの発明に係る半導体記憶装置FRAMと、キャッシュメモリC-MEMが用いられる。この発明に係る半導体記憶装置FRAMは、メモリアレイの中の特定のエ

26

リアをRAM(ランダム・アクセス・メモリ)として用い、他をROM(リード・オンリー・メモリ)として用いる。特に制限されないが、図21の実施例のようにメモリブロックに対して分極の反転が生じないような電圧によりアクセスしてダイナミック型RAMと同様な動作を行わせ、マイクロコンピュータに電源が供給されて動作状態のときには、かかるRAM領域を高速にデータの書き込み/読み出しを伴うデータ処理を行うようにすることができる。

【0106】上記マイクロコンピュータの電源を遮断されるときには、その前にRAMの記憶されたデータのうち、不揮発化を必要とするものはROM部に転送される。これにより、電源が遮断されても必要なデータをROM部に記憶させておくことができる。そして、再び電源投入によってマイクロコンピュータが動作を開始するときには、上記ROMに退避されたデータを読み出してRAMに転送し、再びRAMを用いて高速データ処理を行うようになる。

【0107】このような構成を探ることにより、FRAMに対する書き換え回数を大幅に減らすことができる。これにより、FRAMに対する書き換え回数の制限を実質的になくすことができる。上記のような構成は、ICカードに適している。すなわち、ICカードにおいては、バッテリーを搭載せることなく必要な記憶データの不揮発化が可能になり、不揮発性メモリの書き換え回数の制約を実質的に受けることなく使用できるようになる。

【0108】CPUはマイクロプロセッサ(中央処理ユニット)であり、一連のデータ処理プログラムに従ってデータの処理を行う。このマイクロプロセッサCPUを中心にしてバスBUSにより上記のような半導体記憶装置FRAMやC-MEMの他に、周辺回路としてタイマ回路TIM、シリアル・コミュニケーション・インターフェイスSCI、アナログ/ディジタル変換回路A/D、及び入出力回路I/Oが設けられる。

【0109】電源端子VccとVssには、特に制限されないが、約5Vと0Vであり、上記のようなディジタル回路用の電源電圧として用いられ、上記半導体記憶装置FRAMの動作に必要な書き込み電圧V₀やV₀/2及び第1ワード線に与えられる選択電圧V_w等は内部昇圧回路によって形成される。

【0110】電源端子AVccとAVssは、アナログ回路用の電源電圧である。このようにディジタル回路とアナログ回路とで電源を別にすることによって、ディジタル回路側に電源線に発生する比較的大きなノイズがアナログ回路側の電源線にリークすることが防止できる。

【0111】上記マイクロコンピュータは、それぞれが1つの半導体集積回路装置により構成され、プリント基板等の実装基板に搭載されるボード構成のものであってもよいことはいうまでもない。この場合には、記憶回路

(15)

27

FARAMは複数の半導体集記憶装置により構成できるから、大きな記憶容量を持たせることができる。また、外部メモリとしてRAM等を接続するようにしてもよい。

【0112】図27には、この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例のレイアウト図が示されている。図28にはそのA-A'断面図が、図29にはB-B'断面図が示されている。

【0113】図27～図29から明らかのように、この実施例では、フィールド絶縁膜4の上に強誘電体キャパシタの下部電極12が形成され、トランスマスFETのソース又はドレインに接続されている。これにより、トランスマスFETのソース又はドレインを構成する拡散層9は、コンタクト116を得るに必要な小さなサイズにされる。この結果、副ブロック内の副データ線における寄生抵抗値が若干大きくなる反面、その寄生容量を大幅に低減させることができる。

【0114】図30及び図31には、上記の半導体記憶装置の製造方法の一実施例を説明するための製造工程断面図が示されている。上記構成の半導体記憶装置の構造の詳細は、次の製造方法の説明によりいっそう容易に理解されよう。同図には、単位の記憶回路MC-FRAMと、その周辺回路に用いられるNチャネル型MOSFETとPチャネル型MOSFETも合わせて描かれていている。

【0115】図30(A)において、公知のCMOS集積回路の製造技術により、P-又はN-型半導体基板1の上に、上記単位の記憶回路MC-FRAMとNチャネル型MOSFETが形成される部分には、P-層3が形成され、Pチャネル型MOSFETが形成される部分には、N-層2が形成される。

【0116】素子形成用の拡散層の部分を残してフィールド絶縁膜4が形成される。このフィールド絶縁膜下には、P型のチャンネルストッパー5が形成されている。上記フィールド絶縁膜に囲まれた素子形成領域の表面に薄いゲート絶縁膜6が形成され、その上にポリシリコン又はポリサイドからなるゲート電極7が形成される。このゲート電極7とフィールド絶縁膜4をマクスとしてNチャネル型MOSFETのソースとドレインを構成するN⁺型拡散層9が形成される。Pチャネル型MOSFETでは、別の工程でソースとドレインを構成するP⁺型拡散層10が形成される。上記ゲート絶縁膜7の上には、CVD-SiO₂が形成される。

【0117】ゲート電極7に対してCVD-SiO₂からなるサイドウォール11が形成され、CVD-SiO₂からなる層間絶縁膜104が形成される。そして、トランスマスFETのソース又はドレインに相当する部分には、開口116が形成される。

【0118】図30(B)において、公知の方法によりPt等からなるシリサイド膜12がフィールド絶縁膜4

28

上に層間絶縁膜104を介して形成される。例えば、上記層間絶縁膜104上にPt等をディポジションして、シリコイド化させた後にパターニングにより下部電極12が形成される。

【0119】図31においては、公知の方法によりPZT等からなる強誘電体13がディポジションされ、その上にPt等からなる上部電極14が形成される。上記上部導体14と強誘電体13は同時にパターニングされる。これにより、単位記憶回路に必要なトランスマスFETとしてのNチャネル型MOSFET、強誘電体キャパシタが形成される。以下、層間絶縁膜形成し、アルミニウム等によりデータ線を形成し、トランスマスFETのドレイン(又はソース)と接続される。そして、必要なら前記実施例のように層間絶縁膜を形成してワード線の抵抗値を減らすためのシャント用のアルミニウム等からなる金属配線層19が形成される。

【0120】以上の実施例のように、1つのトランスマスFETに対して複数個設けられる強誘電体キャパシタを従来のように積層構造に縦積するものに代えて、横方向に配置するものでは、1回分の強誘電体キャパシタを形成する工程で済むので製造工程を大幅に低減できる。すなわち、縦積構造にすると、そのキャパシタの数だけ同様な製造プロセスを繰り返すこととなり、製造プロセスが複雑多岐にわたる。

【0121】上記のように製造プロセスが複雑になると、単順にコストが高くなるばかりでなく、強誘電体キャパシタの特性にバラツキや劣化をもたらす。すなわち、下側のキャパシタの誘電体は、その上に形成されるキャパシタの製造プロセスの度に熱処理等が実施されるからその影響を受けて特性が劣化してしまうものと考えられる。

【0122】積層構造の場合には、マクスズレ等によって単位記憶回路を構成するキャパシタのサイズにバラツキが生じたり、上記のような誘電体の特性の劣化やバラツキによって、読み出し動作における分極の反転時に生じる電荷の移動に比較的大きなバラツキが生じることが予想される。これにより、センスアンプの動作マージンが悪化して、読み出し不良等が生じる虞れがある。

【0123】これに対して、この実施例のように横方向に配置するものでは、同じ工程で同様に複数のキャパシタが形成されるから、その特性のバラツキがなく安定した書き込み特性や読み出し特性を得ることができる。

【0124】上記のように横方向に配置した場合には、メモリアレイ自体の占有面積は必然的に大きくなる。この点では、前記従来技術のように縦積にする構造の方が優れている。しかし、メモリアレイ自体をいかに高集積化しても意味がない。メモリセルを選択したり、書き込み電圧や非選択電圧を与えるためのアドレス選択回路が存在することを忘れてはならない。すなわち、縦積構造にして第2ワード線のピッチを狭くしても、それを選択

(16)

29

する回路も縦積構造にならないと实际上意味をならないからである。一般的にいってデコーダ等のCMOS回路を縦積にすることはできないから、上記縦積構造は縦積構造のデコーダが開発されない限り実質的な高集積化には向かないといつても過言ではない。

【0125】この実施例では、横方向に並べて強誘電体キャパシタの電極に接続される第2ワード線が配置される、そして、強誘電体キャパシタの他方の電極であるブレート線を副ブロック毎に共通化することにより、ブレート線ピッチに対応して共通化された数だけデコーダ回路等のピッチを拡大させることができかかるアドレス選択回路をメモリアレイに合わせ込むことができ、この結果として効率よく半導体基板上にレイアウトできる。

【0126】上記の実施例から得られる作用効果は、下記の通りである。

(1) 第1のアドレス選択線に制御端子が接続された第1のスイッチ素子、かかる第1のスイッチ素子の一端側に共通に一方の電極が接続され、上記一方の電極に対して直交するように横方向に並んで配列されてなる他方の電極を第2のアドレス選択線として両電極の交点に強誘電体キャパシタが形成されてなる複数からなる副ブロック記憶回路を備え、各副ブロック記憶回路の第1のアドレス選択線にはそれぞれ異なるアドレスを割り当て、上記複数からなる副ブロック記憶回路の第2のアドレス選択線にはそれぞれ共通のアドレスを割り当てて共通化されたアドレス選択回路を設け、第1のアドレス選択線が選択状態にされて第1のスイッチ素子がオン状態にされたときには複数からなる第2のアドレス選択線の中の1つを選択状態にして強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にし、第1のアドレス選択線が非選択状態にされて第1のスイッチ素子がオフ状態にされたときには複数からなる第2のアドレス選択線には強誘電体キャパシタに加わる電圧がほぼ零になるような非選択電位を与えることにより、強誘電体キャパシタを用いたメモリアレイの高集積化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタには電圧が加わらないようにできるから誘電体キャパシタに対するストレスを大幅に低減できるという効果が得られる。

【0127】(2) 上記強誘電体キャパシタの共通化された一方の電極側に第2のスイッチ素子を設けて対応する副ブロック記憶回路の第1のスイッチ素子がオン状態のときにはオフ状態に、対応する副ブロック記憶回路の第1のスイッチ素子がオフ状態のときにはオン状態にして非選択時の第2の選択線の電位と同じ電位を与えるようにすることにより、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを効率よく低減できるという効果が得られる。

30

【0128】(3) 上記複数からなる副ブロック記憶回路のうち、非選択とされるものには第1のスイッチ素子を介して強誘電体キャパシタに分極が生じるような電圧のほぼ半分になるようなプリチャージ電圧を与え、かかるプリチャージ動作の後に選択された副ブロック記憶回路の第1のスイッチ素子をオン状態にし、複数からなる第2のアドレス選択線の中の1つを選択状態にして選択された強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にすることにより、簡単な構成により副ブロックの第2のアドレス選択線の共通化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを大幅に低減できるという効果が得られる。

【0129】(4) 1つのスイッチ素子と1つの強誘電体キャパシタからなるメモリセルを持つメモリセルアレイ部を併設させ、かかるメモリセルアレイ部において上記一方の電極を省略し、第2の選択線に対応したダミーの他方の電極を設けて第2の選択線のレイアウトパターンが上記副ブロック記憶回路のそれと同様な構成とすることにより、異なる構成の記憶ブロックを備えつつ、キャパシタの他方の電極の疎密によるパターン寸法の変動が防止でき、動作マージンを確保することができるという効果が得られる。

【0130】(5) 記憶ブロックの単位でメモリアクセスを行うようにすることにより、個々の誘電体キャパシタがランダムにアクセスされる場合に比べて非選択の強誘電体キャパシタを疲労させる印加電圧の回数を大幅に減らすことができるという効果が得られる。

【0131】(6) 上記記憶ブロックの強誘電体キャパシタに対して一方に分極が生じるような初期化がなされ、それを基準にしてデータの書き込みは分極を反転させるようなデータに対応してのみ実際の書き込み動作を行うようにすることにより、実施的な書き込み時間の短縮化と低消費電力化を図ることができるという効果が得られる。

【0132】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、強誘電体キャパシタを構成する強誘電体材料に関しては、前記公報等によって公知でありその材料は何であってもよい。

【0133】例えば、強誘電体結晶の残留分極の正味の大きさは、結晶軸の印加電界ベクトルへの射影の総和で決まるから、結晶軸の方向がバラバラな場合、正味の残留分極が小さくなる。そこで、残留分極を大きくするために、結晶軸の方向と印加電圧のなす角度が5°以下である部分が強誘電体キャパシタを構成する強誘電体結晶

(17)

31

がなるだけ多くなるように、例えば80%以上になるように形成される。強誘電体結晶としては、例えばB a T i O 鉄、P Z T等がある。

【0134】メモリアレイの周辺回路は、CMOS回路により構成されるもの他、Nチャンネル型MOSFET又はPチャンネル型MOSFETにより構成されるもの、あるいはMOSFETとバイポーラ型トランジスタとを組み合わせたもの等種々の実施例形態を探ることができる。

【0135】アドレスの入力方法は、前記のようにブロック単位でアドレス信号を入力するもの他、一般的なRAMやROMのようにメモリセルに割り当てられたアドレスを入力するものであってもよい。この場合、外部端子数を減らすために、ダイナミック型RAMのように共通のアドレス端子からX系とY系とを多重化して入力するものであってもよい。

【0136】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第1のアドレス選択線に制御端子が接続された第1のスイッチ素子、かかる第1のスイッチ素子の一端側に共通に一方の電極が接続され、上記一方の電極に対して直交するように横方向に並んで配列されてなる他方の電極を第2のアドレス選択線として両電極の交点に強誘電体キャパシタが形成されてなる複数からなる副ブロック記憶回路を備え、各副ブロック記憶回路の第1のアドレス選択線にはそれぞれ異なるアドレスを割り当て、上記複数からなる副ブロック記憶回路の第2のアドレス選択線にはそれぞれ共通のアドレスを割り当てて共通化されたアドレス選択回路を設け、第1のアドレス選択線が選択状態にされて第1のスイッチ素子がオン状態にされたときには複数からなる第2のアドレス選択線の中の1つを選択状態にして強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にし、第1のアドレス選択線が非選択状態にされて第1のスイッチ素子がオフ状態にされたときには複数からなる第2のアドレス選択線には強誘電体キャパシタに加わる電圧がほぼ零になるような非選択電位を与えることにより、強誘電体キャパシタを用いたメモリアレイの高集積化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタには電圧が加わらないようにできるから誘電体キャパシタに対するストレスを大幅に低減できる。

【0137】上記強誘電体キャパシタの共通化された一方の電極側に第2のスイッチ素子を設けて対応する副ブロック記憶回路の第1のスイッチ素子がオン状態のときにはオフ状態に、対応する副ブロック記憶回路の第1のスイッチ素子がオフ状態のときにはオン状態にして非選

32

択時の第2の選択線の電位と同じ電位を与えるようにすることにより、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを効率よく低減できる。

【0138】上記複数からなる副ブロック記憶回路のうち、非選択とされるものには第1のスイッチ素子を介して強誘電体キャパシタに分極が生じるような電圧のほぼ半分になるようなプリチャージ電圧を与え、かかるプリチャージ動作の後に選択された副ブロック記憶回路の第1のスイッチ素子をオン状態にし、複数からなる第2のアドレス選択線の中の1つを選択状態にして選択された強誘電体キャパシタに分極が生じるような電圧を与え、残りの第2のアドレス選択線に強誘電体キャパシタに加わる電圧が選択された強誘電体キャパシタに加わる電圧のほぼ半分になるような非選択電位にすることにより、簡単な構成により副ブロックの第2のアドレス選択線の共通化を図りつつ、非選択のスイッチ素子に対応した副ブロック記憶回路の強誘電体キャパシタに対するストレスを大幅に低減できる。

【0139】1つのスイッチ素子と1つの強誘電体キャパシタからなるメモリセルを持つメモリセルアレイ部を併設させ、かかるメモリセルアレイ部において上記一方の電極を省略し、第2の選択線に対応したダミーの他方の電極を設けて第2の選択線のレイアウトパターンが上記副ブロック記憶回路のそれと同様な構成とすることにより、異なる構成の記憶ブロックを備えつつ、キャパシタの他方の電極の疎密によるパターン寸法の変動が防止でき、動作マージンを確保することができる。

【0140】記憶ブロックの単位でメモリアクセスを行うようにすることにより、個々の誘電体キャパシタがランダムにアクセスされる場合に比べて非選択の強誘電体キャパシタを疲労させる印加電圧の回数を大幅に減らすことができる。

【0141】上記記憶ブロックの強誘電体キャパシタに対して一方に分極が生じるような初期化がなされ、それを基準にしてデータの書き込みは分極を反転させるようなデータに対応してのみ実際の書き込み動作を行うようすることにより、実施的な書き込み時間の短縮化と低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置におけるメモリブロックの一実施例を示すレイアウトパターン図である。

【図2】この発明に係る半導体記憶装置の一実施例を示す一部ブロック図である。

【図3】この発明に係る半導体記憶装置の一実施例を示す残りの一部ブロック図である。

【図4】上記図2と図3の半導体記憶装置の書き込みと読み出し方法の一実施例を説明するための回路図である。

(18)

33

【図 5】上記図 2 と図 3 に示された半導体記憶装置の書き込み動作と読み出し動作を説明するための概略波形図である。

【図 6】上記図 2 と図 3 に示された半導体記憶装置の選択ブロック内における選択副ブロックでの書き込み動作と読み出し動作を説明するための概略波形図である。

【図 7】上記図 2 と図 3 に示された半導体記憶装置の選択ブロック内における非選択副ブロックでの書き込み動作と読み出し動作に伴う概略波形図である。

【図 8】この発明に係る半導体記憶装置の書き込みと読み出し方法の他の一実施例を説明するための回路図である。

【図 9】この発明に係る半導体記憶装置の他の一実施例を示す一部ブロック図である。

【図 10】この発明に係る半導体記憶装置の他の一実施例を示す残りの一部ブロック図である。

【図 11】上記図 9 と図 10 の半導体記憶装置の書き込みと読み出し方法の一実施例を説明するための回路図である。

【図 12】上記図 9 と図 10 に示された半導体記憶装置の書き込み動作と読み出し動作を説明するための概略波形図である。

【図 13】上記図 9 と図 10 に示された半導体記憶装置の選択ブロック内における選択副ブロックでの書き込み動作と読み出し動作を説明するための概略波形図である。

【図 14】上記図 9 と図 10 に示された半導体記憶装置の選択ブロック内における非選択副ブロックでの書き込み動作と読み出し動作に伴う概略波形図である。

【図 15】上記図 9 と図 10 に示された半導体記憶装置の書き込みと読み出し方法の他の一実施例を説明するための回路図である。

【図 16】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示す回路図である。

【図 17】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示す回路図である。

【図 18】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示す回路図である。

【図 19】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示す回路図である。

【図 20】この発明に係る半導体記憶装置の構成図である。

【図 21】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示す回路図である。

【図 22】この発明に係る半導体記憶装置の Y 系選択回路と書き込み読み出し回路の一実施例を示す回路図である。

【図 23】この発明に係る半導体記憶装置の他の一実施

34

例を示す全体回路図である。

【図 24】この発明に係る半導体記憶装置のメモリアレイ部と入出力系回路の他の一実施例を示す回路図である。

【図 25】この発明に係る半導体記憶装置のメモリアレイ部と入出力系回路の他の一実施例を示す回路図である。

【図 26】この発明に係る半導体記憶装置が用いられるマイクロコンピュータの一実施例を示すブロック図である。

【図 27】この発明に係る半導体記憶装置のメモリアレイ部の他の一実施例を示すレイアウト図である。

【図 28】図 27 の A-A' 断面図である。

【図 29】図 27 の B-B' 断面図である。

【図 30】上記図 27 の半導体記憶装置の製造方法の一実施例を説明するための一部製造工程断面図である。

【図 31】上記図 27 の半導体記憶装置の製造方法の一実施例を説明するための残りの一部製造工程断面図である。

20 【図 32】従来技術の一例を示す回路図である。

【符号の説明】

XAB…Xアドレスバッファ、 XAL…Xアドレスラッチ回路、 XDEC…Xデコーダ回路、 YAB…Yアドレスバッファ、 YAL…Yアドレスラッチ回路、 YDEC…Yデコーダ回路、 CONT…制御回路、 SA…センスアンプ、 WRITE…ライトアンプ、 DIL…データインラッチ回路、 DOL…データアウトラッチ回路、 DIB…データ入力バッファ、 DOB…データ出力バッファ、 DIO-0～DIO-7…データ端子、 Q1～Q16…

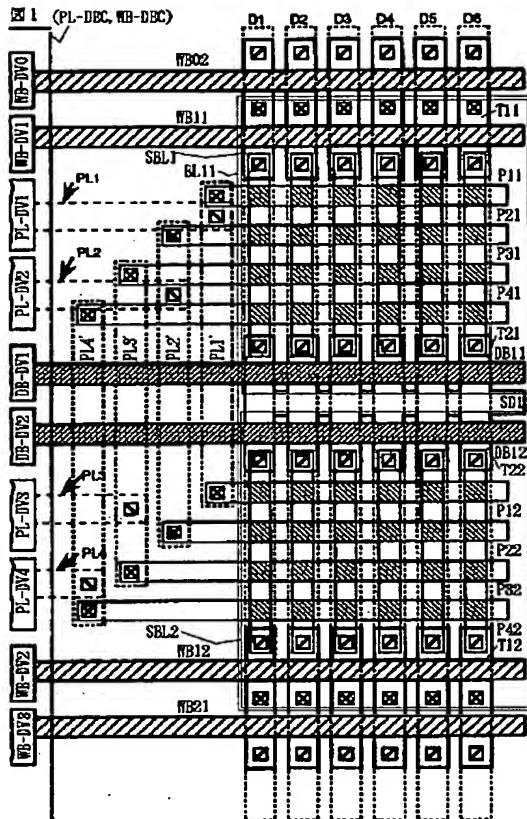
30 強誘電体キャパシタ、 T11～T14、 T1～T9…MOSFET、 D1～D8…主データ線、 d1～d8、 d1'～d8'、 d1''～d8''、 d1'''～d8'''…ブロック内データ線（副データ線）、 CPU…マイクロプロセッサ、 TIM…タイマー回路、 SCI…シリアル・コミュニケーション・インターフェイス回路、 A/D…アナログ/デジタル変換回路、 FRAM…半導体記憶装置（強誘電体メモリ）、 I/O…入出力回路、 C-MEM…キャッシュメモリ、 1…半導体基板、 2…N-型ウェル領域、 3…P-型ウェル領域、 4…フィールド

40 絶縁膜、 5…チャンネルストッパー、 6…ゲート絶縁膜、 7…ゲート電極、 8…CVD-SiO₂膜、 9…N⁺拡散層（ソース、 ドレイン）、 10…P⁺拡散層（ソース、 ドレイン）、 11…サイドウォール、 12…下部電極（P_t等のシリサイド層）、 13…強誘電体、 14…上部電極、 15…層間絶縁膜、 16…コンタクト、 17…アルミニウム層（データ線）、 18…層間絶縁膜、 19…アルミニウム層（ワード線シャント）、 10

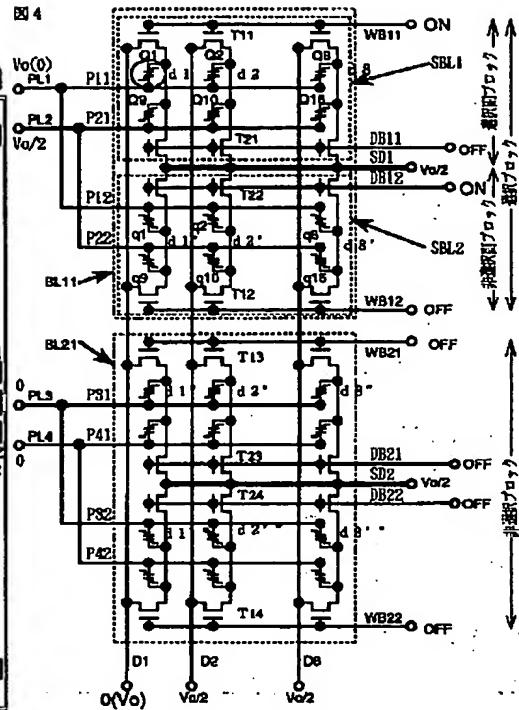
44…CVD-SiO₂膜、 116開口。

(19)

【図 1】

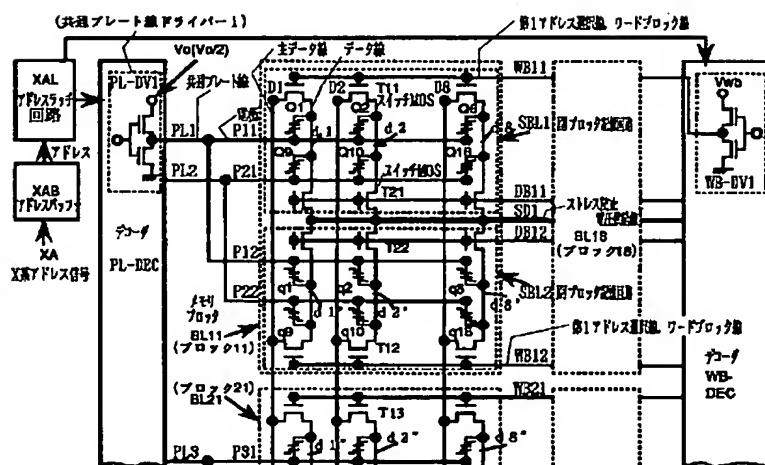


【図 4】

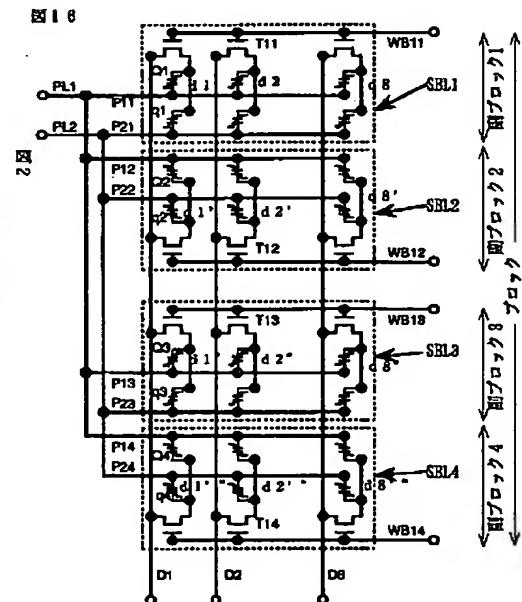


【図 16】

【図 2】

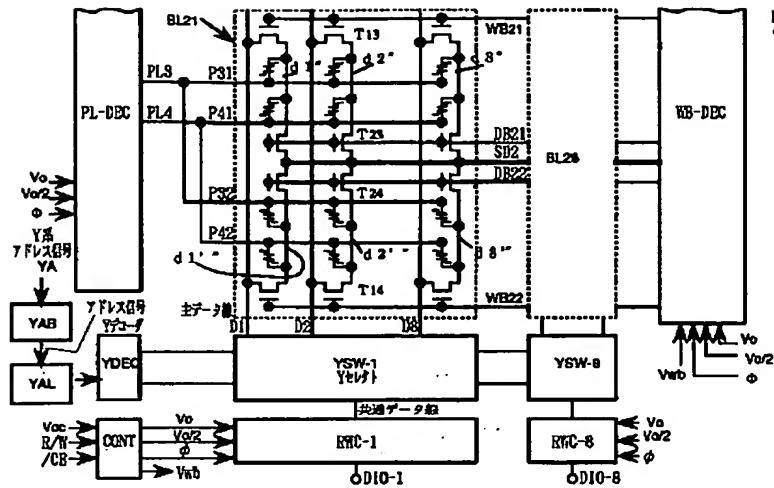


【図 6】

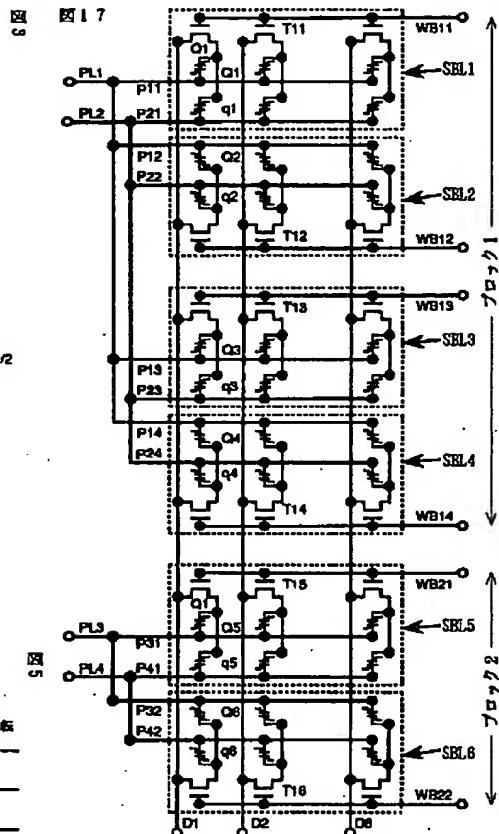


(20)

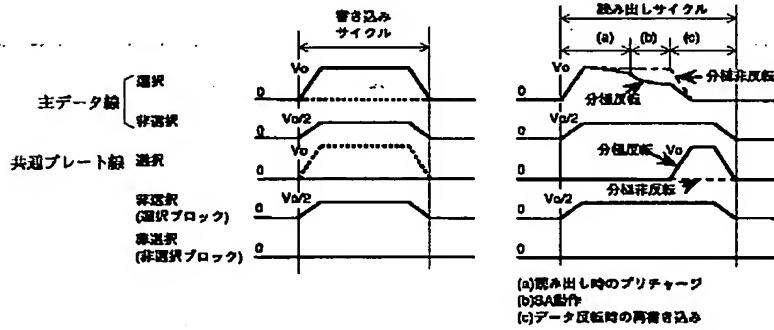
【図3】



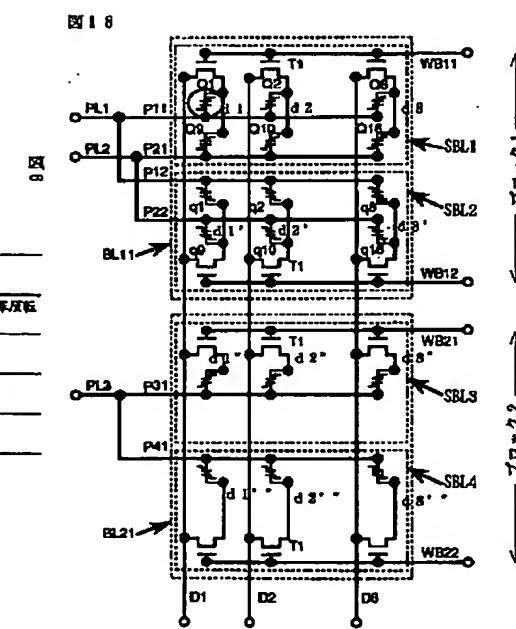
【図17】



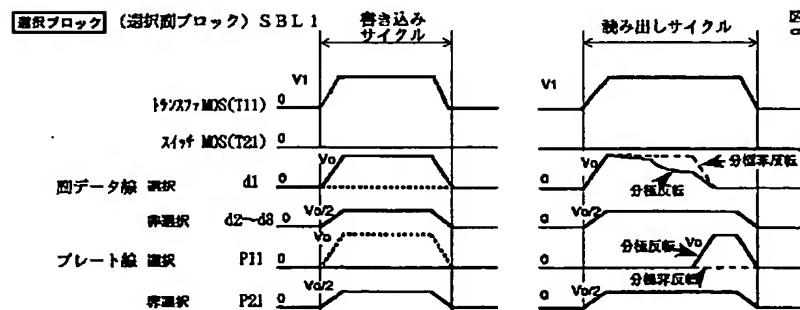
【図5】



【図18】

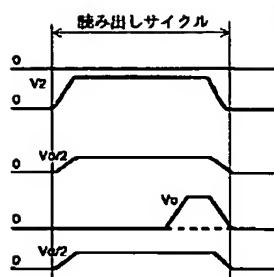
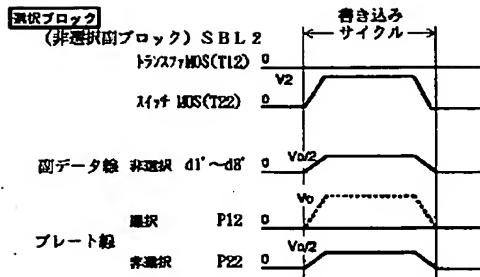


【図6】



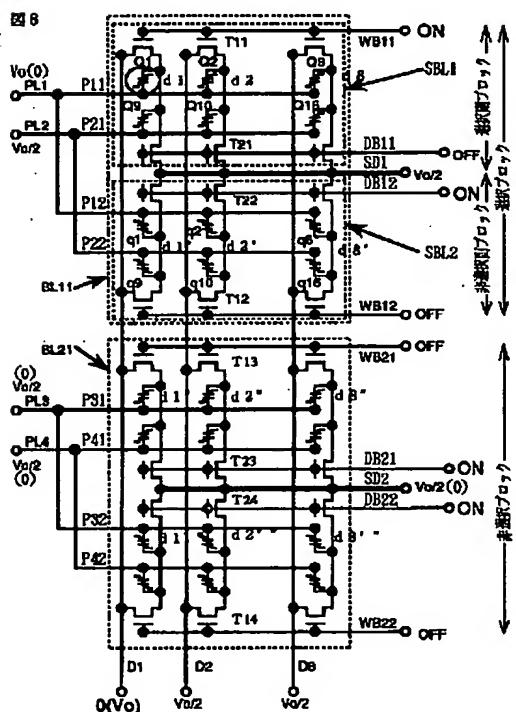
(21)

[図7]

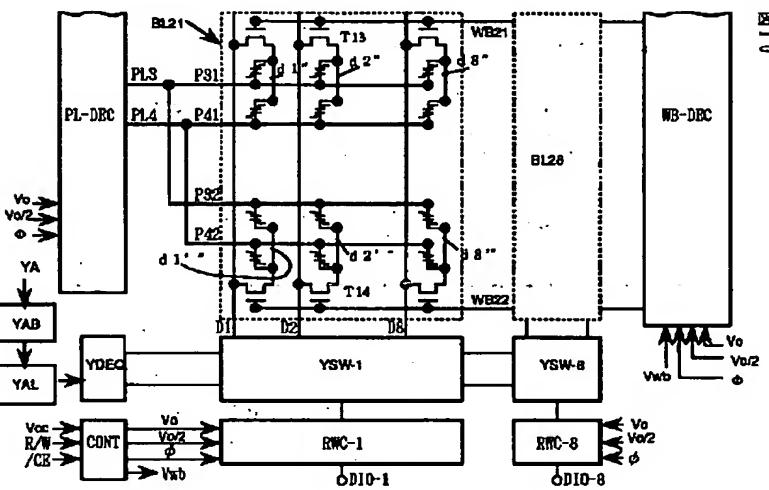


【図32】

[図8]

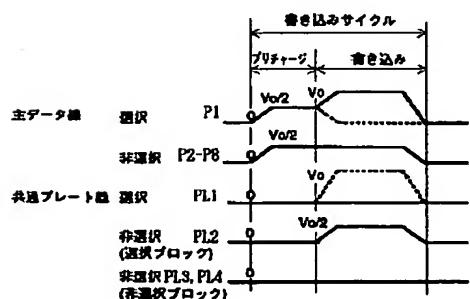


【図10】

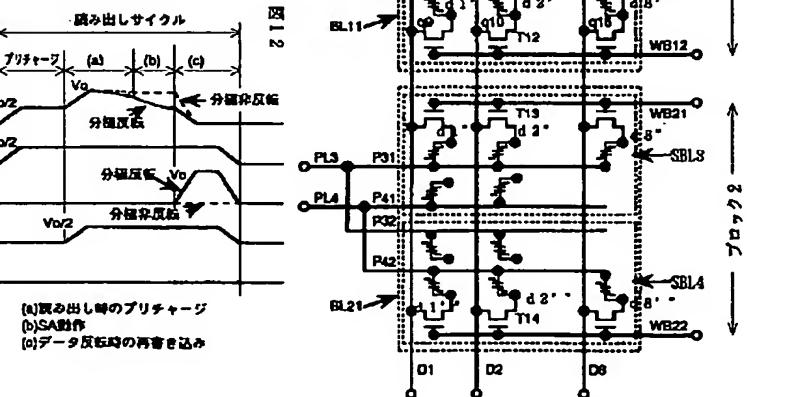


【図19】

[図12]

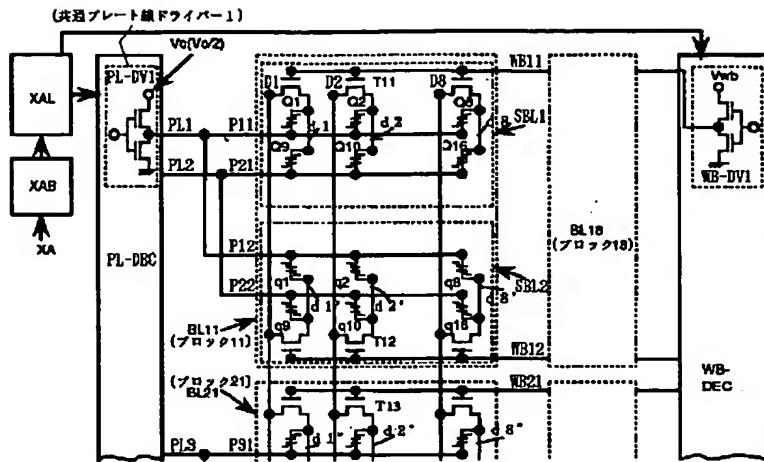


- (a) 戻り出し時のプリチャージ
- (b) SAI動作
- (c) データ反転時の再書き込み

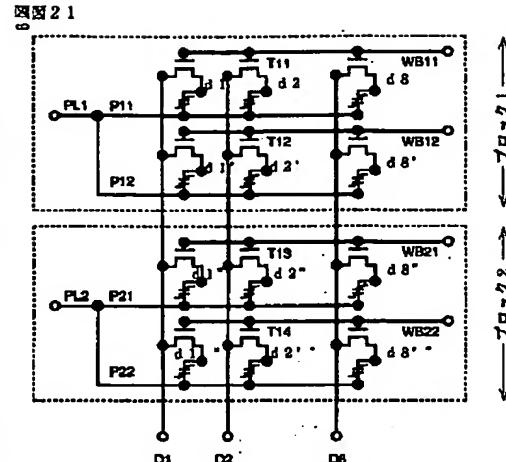


(22)

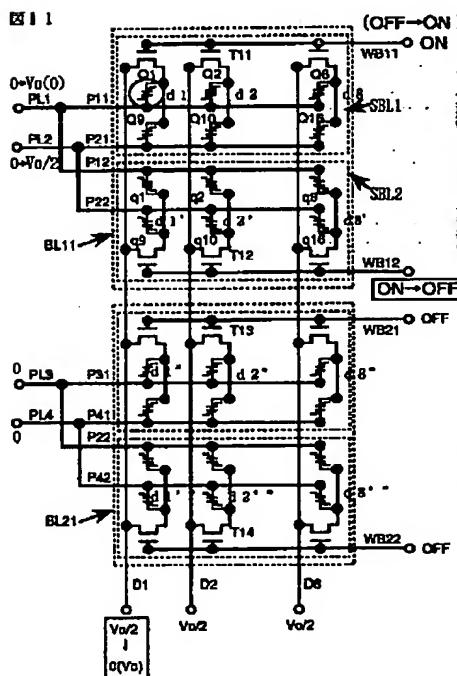
【図9】



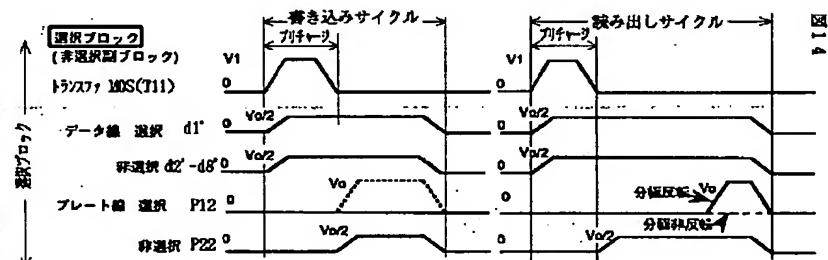
【図21】



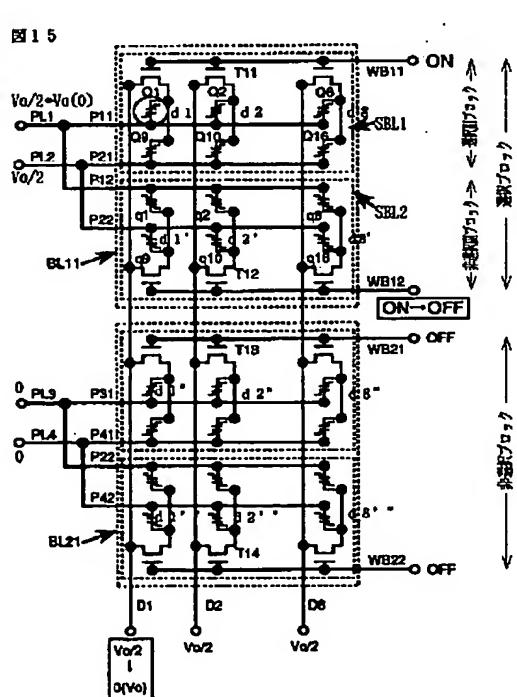
【図11】



【図14】



【図15】



(23)

【図13】

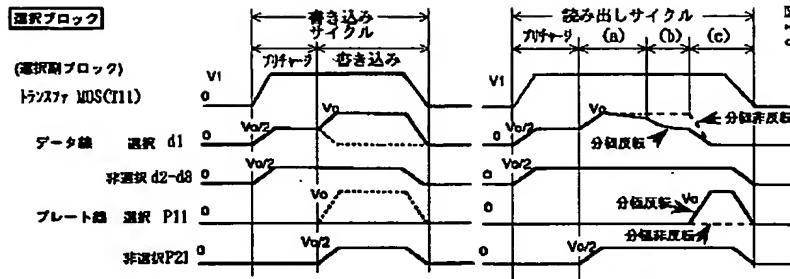
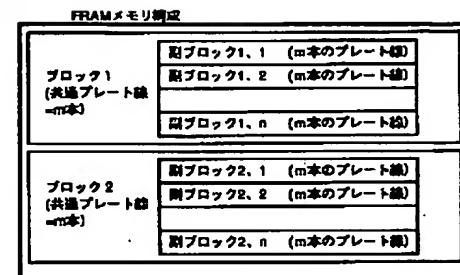
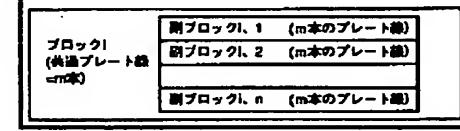
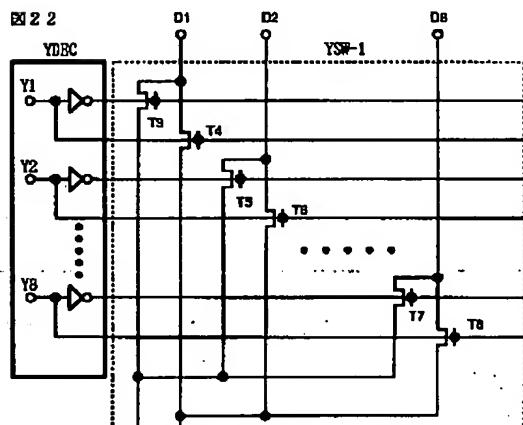


図13

【図20】



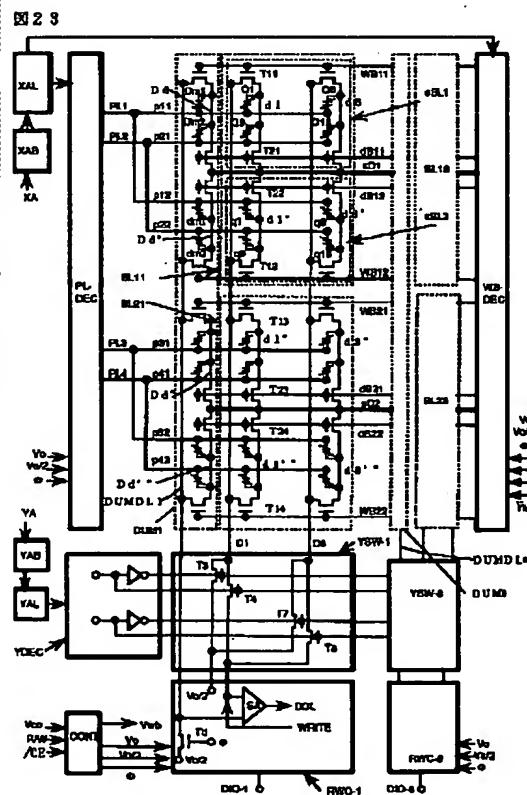
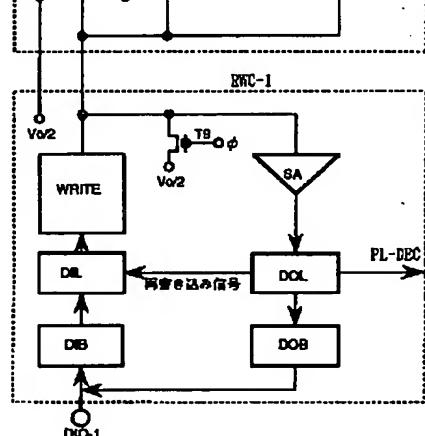
【図22】



ブロック選択レジスタ 1 2 3 4

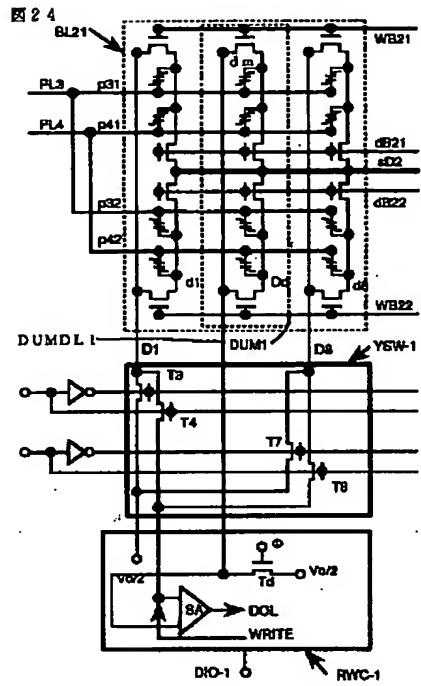
階ブロック選択レジスタ 1 2 3 n

【図23】

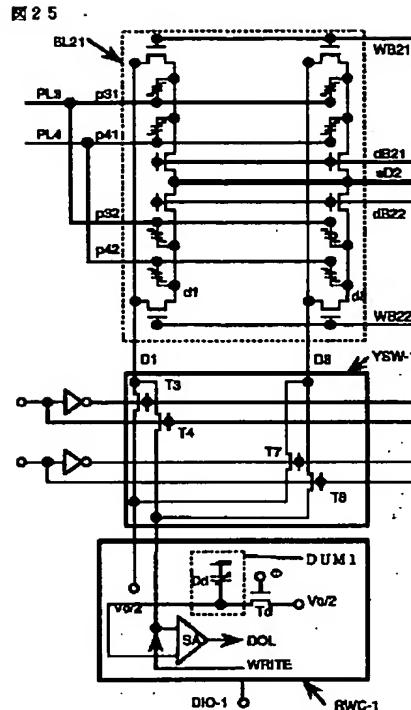


(24)

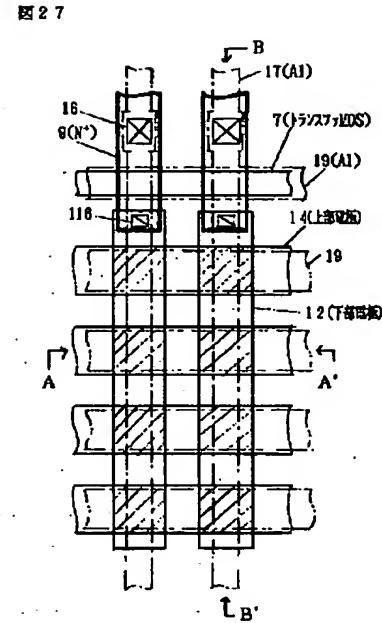
【図 24】



【図 25】

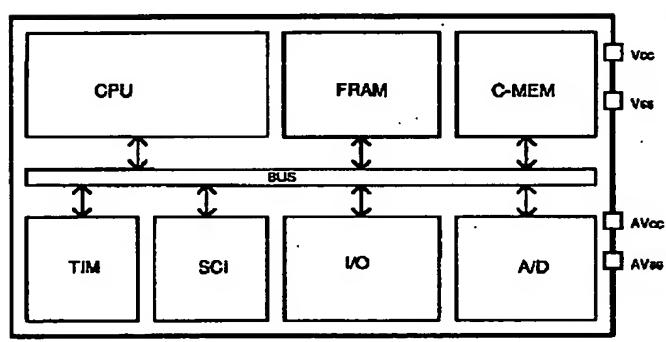


【図 27】

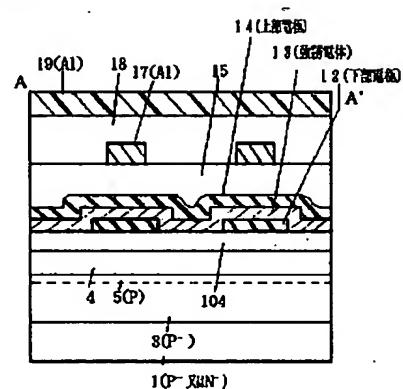


【図 26】

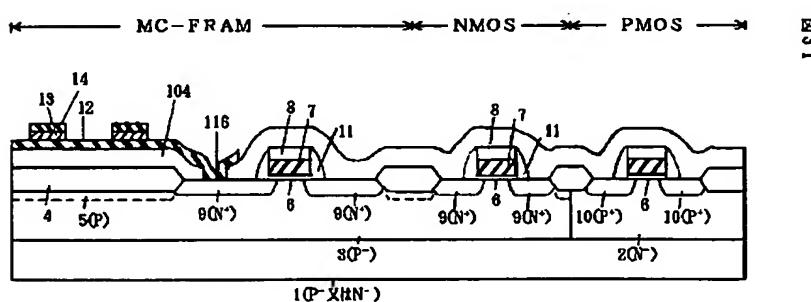
【図 28】



【図 28】

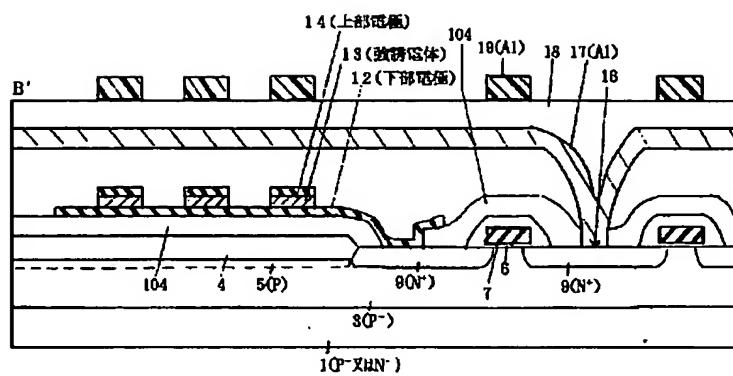


【図 31】

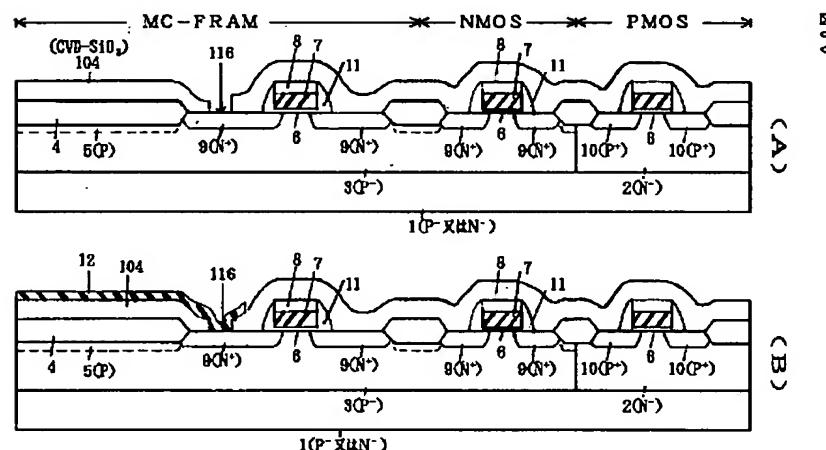


(25)

【図29】



【図30】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788
29/792

識別記号 庁内整理番号

F I

技術表示箇所